

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Min-Sang Park et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: INTEGRATED CIRCUIT DEVICES HAVING DATA INVERSION CIRCUITS
THEREIN WITH MULTI-BIT PREFETCH STRUCTURES AND METHODS OF
OPERATING SAME

Date: April 1, 2004

Mail Stop Patent Application

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

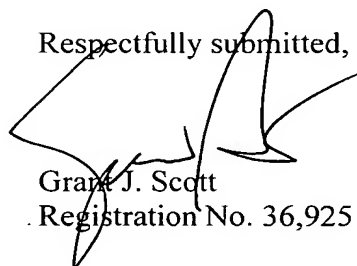
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2003-90939, filed December 13, 2003.

Respectfully submitted,



Grant J. Scott
Registration No. 36,925

USPTO Customer No. 20792

Myers Bigel Sibley & Sajovec

Post Office Box 37428

Raleigh, North Carolina 27627

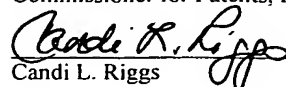
Telephone: 919/854-1400

Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381442494 US

Date of Deposit: April 1, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0090939
Application Number

출원년월일 : 2003년 12월 13일
Date of Application DEC 13, 2003

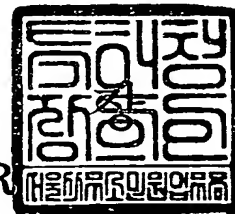
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 09 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2003.11.13
【국제특허분류】	G11C
【발명의 명칭】	멀티 -비트 프리페치 반도체 장치의 데이터 반전 회로 및 데이터 반전 방법
【발명의 영문명칭】	Data inversion circuit of multi-bit pre-fetch semiconductor device and method of the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	박민상
【성명의 영문표기】	PARK,Min Sang
【주민등록번호】	730509-1249618
【우편번호】	449-902
【주소】	경기도 용인시 기흥읍 공세1리 476-243
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	54	면	54,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	30	항	1,069,000	원
---------	----	---	-----------	---

【합계】	1,152,000	원		
------	-----------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

멀티-비트 프리페치 반도체 장치의 데이터 반전 회로 및 데이터 반전 방법이 개시된다. 본 발명의 데이터 반전 회로는 복수의 반전 회로들을 구비하는 것을 특징으로 한다. 복수의 반전 회로들은 이전 클럭 사이클의 출력 데이터(이하, 초기 입력 데이터라 함)와 동시에 프리페치된 복수의 입력 데이터들을 병렬로 수신하고, 복수의 입력 데이터들을 반전/비반전 처리하여 복수의 출력 데이터들을 발생한다. 복수의 반전 회로들 각각은 초기 입력 데이터 및 복수의 입력 데이터들 중 출력 순서에서 이웃한 두 개의 입력 데이터들을 수신하여 토글링 여부를 판단하고, 그 판단 결과에 따라 두 개의 입력 데이터들 중 출력 순서에서 뒤를 잇는 입력 데이터를 반전/비반전 처리한다. 본 발명에 따른 반도체 장치의 데이터 반전 회로 및 데이터 반전 방법은 고속으로 데이터를 처리함과 동시에 소모 전류와 점유 면적을 감소시키고, 내부 신호들의 유효 윈도우가 감소되는 것을 방지할 수 있는 효과가 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

멀티-비트 프리페치 반도체 장치의 데이터 반전 회로 및 데이터 반전 방법{Data inversion circuit of multi-bit pre-fetch semiconductor device and method of the same}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 따른 데이터 반전 회로를 나타내는 도면이다.

도 2는 본 발명에 따른 데이터 반전 회로를 구비하는 반도체 메모리 장치를 개략적으로 나타내는 블록도이다.

도 3은 도 2에 도시된 본 발명의 일 실시예에 따른 데이터 반전 회로를 상세하게 나타내는 블록도이다.

도 4는 도 3에 도시된 제1 반전 회로를 좀 더 상세히 도시하는 도면이다.

도 5는 도 3에 도시된 제2 반전 회로를 좀 더 상세히 도시하는 도면이다.

도 6은 도 3에 도시된 비교기의 일 구현예를 나타내는 회로도이다.

도 7은 도 2에 도시된 본 발명의 다른 실시예에 따른 데이터 반전 회로를 상세하게 나타내는 블록도이다.

도 8은 도 7에 도시된 제2 반전 회로를 좀 더 상세히 도시하는 도면이다.

도 9는 도 7에 도시된 비교 회로의 일 구현예를 나타내는 회로도이다.

도 10은 도 2에 도시된 본 발명의 또 다른 실시예에 따른 데이터 반전 회로를 상세하게 나타내는 블록도이다.

도 11a는 도 3에 도시된 제2 논리 회로들의 입력 신호들에 대한 타이밍도이다.

도 11b는 도 10에 도시된 제2 논리 회로들의 입력 신호들에 대한 타이밍도이다.

도 12는 본 발명의 일 비교예에 따른 데이터 반전 회로를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 장치에 관한 것으로, 특히, 멀티-비트(Multi-bit) 프리페치(Pre-fetch) 구조를 가지는 반도체 장치에서의 출력 데이터 반전에 관한 것이다.

<16> 최근 500MHz(1Gbps) 이상의 초고속 이중 데이터율(double data rate, 이하 DDR이라 함) 메모리 장치에서는 4 비트 프리페치 스킴이 일반적으로 사용되고 있다. 4 비트 프리페치 스킴을 사용하는 DDR 메모리는 한 번의 독출 명령에 응답하여 4 비트의 데이터를 메모리셀로부터 병렬로 독출하고, 그 독출된 4 비트의 데이터를 2 클럭 사이클 동안에 동일한 데이터 입출력 핀을 통하여 출력한다.

<17> 따라서, 4 비트 프리페치 스킴을 사용하면 외부의 클럭 주파수가 500MHz 라고 하더라도 메모리 장치 내부 코아(Core)의 칼럼 경로의 동작은 250MHz 이상으로만 동작하면 되기 때문에 메모리 장치 내부 코아의 설계 및 칼럼 경로의 설계가 매우 쉬워지게 되는 장점을 가진다.

- <18> 한편, 외부의 클럭 주파수가 500MHz 이상으로 증가하게 되면, 메모리의 입/출력 성능이 매우 중요하게 된다. 그 이유는, 메모리 장치 내부 코아는 4 비트 프리페치 스킴을 사용하므로 250MHz 이상으로만 동작하면 되지만, 상기 메모리 장치의 입/출력은 무조건 500MHz(1Gbps)의 동작 주파수를 만족시켜야 하기 때문이다.
- <19> 특히 그래픽 메모리 장치에서는 데이터 출력(DQ) 핀이 일반적으로 32개(X32)로서, 와이드 입/출력(Wide I/O) 구조를 가지게 된다. 32개의 DQ 핀이 동시에 동작할 때 데이터 출력 전압에는 엄청난 잡음이 유기되는데, 이를 통상 동시 스위칭 잡음(Simultaneous Switching Noise, 이하 SSN이라 함)이라 한다. 많은 양의 SSN은 데이터 출력 신호의 파형을 손상시켜, 메모리 장치의 신호 충실도(signal integrity)를 떨어뜨린다. 이렇게 되면 메모리 장치가 고주파수 시스템에서 필요로 하는 입/출력 성능을 만족시키는 것이 어려워진다. 따라서 고주파수 시스템에서 사용되는 메모리 장치는 그 입/출력 성능을 향상시키기 위해 데이터 반전 방식을 사용하고 있다.
- <20> 데이터 반전(Data Inversion) 방식은 메모리 장치의 SSN을 줄이는 것을 목적으로 한다. 데이터 반전 방식을 사용하는 메모리 장치는 현재 출력될 소정 비트수(일반적으로 8비트)의 데이터와 이전에 출력된 데이터간의 토글링(toggling)된 비트의 수에 따라 현재 출력되는 데이터를 반전시켜 출력하거나 또는 그대로 출력한다. 이를 좀 더 상세히 설명하면, 상기 메모리 장치는 상기 토글링된 비트의 수가 반 이상일 때 현재 출력될 데이터를 반전시켜 출력하고, 출력되는 데이터가 반전되었음을 나타내는 1비트의 플래그 신호(flag signal)를 추가로 출력한다. 반대로, 상기 메모리 장치는 상기 토글링된 비트의 수가 반 미만일 때 현재 출력될 데이터를 그대로 출력하고, 출력되는 데이터가 반전되지 않았음을 나타내는 1비트의 플래그 신호를 추가로 출력한다.

- <21> 이렇게 되면 메모리 장치의 출력 데이터에서 토글링되는 비트의 수가 항상 반 미만으로 유지될 수 있으므로, 메모리 장치의 스위칭 잡음이 반으로 감소하게 된다. 그 결과, 출력 신호의 충실도가 향상되므로 메모리 장치는 보다 좋은 입/출력 성능을 가질 수 있게 된다.
- <22> 도 1은 종래 기술에 따른 데이터 반전 회로를 나타내는 도면이다. 도 1에서는 8개의 데이터 출력 패드(이하, DQ 패드라 함)로 출력되는 8비트의 데이터에 대한 반전/비반전을 수행하는 데이터 반전 회로가 도시된다.
- <23> 도 1을 참고하면, 데이터 반전 회로(10)는 논리 회로들(11, 12)과 비교기(13)를 포함한다. 상기 논리 회로들(11, 12)은 각각 8개의 XOR 게이트들을 포함한다. 상기 논리 회로(11)는 메모리셀로부터 독출된 현재 출력될 데이터(FD01~FD08)와 상기 데이터 반전 회로(10)로부터 이전에 출력된 데이터(D01~D08)를 대응하는 각 비트별로 토글링 여부를 판단한다. 상기 비교기(13)는 상기 논리 회로(11)의 판단 결과에 따라 소정 레벨의 플래그 신호(FLG)를 출력한다. 상기 논리 회로(12)는 상기 플래그 신호(FLG)에 응답하여 상기 현재 출력될 데이터(FD01~FD08)를 반전시켜 출력하거나 또는 그대로 출력한다.
- <24> 상기와 같이, 종래의 데이터 반전 회로는 반전/비반전 여부가 결정되어 출력된 이전 데이터와 현재 출력될 데이터의 대응하는 비트별로 토글링 여부를 판단한다. 즉, 종래의 데이터 반전 회로는 현재 출력될 데이터의 반전/비반전 여부를 결정하기 위해, 이전 데이터의 반전/비반전 처리 동작이 완료될 때까지 대기해야 한다. 따라서 종래의 데이터 반전 회로의 이러한 데이터 반전 처리 동작으로 인하여 반도체 장치의 동작 속도가 느려지게 되는 문제점이 있다. 특히, 멀티-비트 프리페치 방식의 반도체 장치에서 상기와 같은 데이터 반전 회로가 사용될 경우, 데이터 반전 회로의 동작 속도가 반도체 장치의 동작 주파수에 제한을 줄 수 있다.

- <25> 또, 데이터 반전 회로에서 사용되는 논리 회로와 비교기는 그 소모 전류와 점유 면적이 매우 크기 때문에, 최근 반도체 장치의 제조 기술이 고집적화 및 저전력화 추세에 있는 점을 고려할 때, 데이터 반전 스킴은 부담이 되는 방식이다.
- <26> 한편, 데이터 반전 회로의 데이터 반전 처리 동작 과정에서 내부 신호들의 유효 윈도우(valid window)가 감소되는 경우가 있다. 이를 도 1을 참고하여 좀 더 상세히 설명하면, 상기 논리 회로(12)에 상기 플래그 신호(FLG)가 입력되는 시점과 상기 현재 출력될 데이터(FD01~FD08)가 입력되는 시점이 일치하지 않게 된다. 그 이유는 상기 현재 출력될 데이터(FD01~FD08)는 상기 논리 회로들(11, 12)에 동시에 입력되지만, 상기 플래그 신호(FLG)는 상기 논리 회로(11)와 상기 비교기(13)에 의해 상기 현재 출력될 데이터(FD01~FD08)가 처리되는데 걸리는 시간만큼 지연된 후 상기 논리 회로(12)에 입력되기 때문이다. 이렇게 현재 출력될 데이터(FD01~D08)와 플래그 신호(FLG)가 상기 논리 회로(12)에 입력되는 시점이 서로 어긋나게 되면, 상기 두 신호들의 공통 유효 구간, 즉, 유효 윈도우가 감소된다. 이러한 유효 윈도우의 감소는 반도체 장치의 동작 주파수에 제한을 줄 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <27> 본 발명이 이루고자 하는 기술적 과제는 고속으로 데이터를 처리하고 소모 전류와 점유 면적이 감소된 반도체 장치의 데이터 반전 회로를 제공하는 것이다.
- <28> 본 발명이 이루고자 하는 다른 기술적 과제는 내부 신호들의 출력 시간을 조절하여 내부 신호들의 유효 윈도우가 감소되는 것을 방지하는 반도체 장치의 데이터 반전 회로를 제공하는 것이다.

<29> 본 발명이 이루고자 하는 또 다른 기술적 과제는 고속으로 데이터를 처리하고 소모 전류와 점유 면적이 감소된 반도체 장치의 데이터 반전 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<30> 상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 반도체 장치의 데이터 반전 회로는, 멀티-비트 프리페치 스킴을 가지는 반도체 장치의 데이터 반전 회로에 있어서, 복수의 반전 회로들을 구비하는 것을 특징으로 한다. 복수의 반전 회로들은 이전 클럭 사이클의 출력 데이터(이하, 초기 입력 데이터라 함)와 동시에 프리페치된 복수의 입력 데이터들을 병렬로 수신하고, 복수의 입력 데이터들을 반전/비반전 처리하여 복수의 출력 데이터들을 발생한다. 복수의 반전 회로들 각각은 초기 입력 데이터 및 복수의 입력 데이터들 중 출력 순서에서 이웃한 두 개의 입력 데이터들을 수신하여 토글링 여부를 판단하고, 그 판단 결과에 따라 두 개의 입력 데이터들 중 출력 순서에서 뒤를 잇는 입력 데이터를 반전/비반전 처리한다.

<31> 바람직하게, 복수의 반전 회로들 중 적어도 하나는 제1 논리 회로, 비교기, 및 제2 논리 회로를 포함한다. 제1 논리 회로는 초기 입력 데이터와, 복수의 입력 데이터들 중 제1 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력한다. 비교기는 내부 논리 신호에 응답하여 플래그 신호를 출력한다. 제2 논리 회로는 플래그 신호에 응답하여 복수의 출력 데이터들 중 제1 출력 데이터로서 제1 입력 데이터를 반전시키거나 또는 그대로 출력한다.

<32> 바람직하게, 복수의 반전 회로들 중 일부는 제1 논리 회로, 비교기, 플래그 신호 발생기 및 제2 논리 회로를 포함한다. 제1 논리 회로는 복수의 입력 데이터들 중 제J-1(J는 2이상의 자연수) 입력 데이터와 제J 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력한다. 비교기는 내부 논리 신호에 응답하여 내

부 플래그 신호를 출력한다. 플래그 신호 발생기는 제J-1 플래그 신호에 응답하여 제J 플래그 신호로서 내부 플래그 신호를 반전시키거나 또는 그대로 출력한다. 제2 논리 회로는 제J 플래그 신호에 응답하여 복수의 출력 데이터들 중 제J 출력 데이터로서 제J 입력 데이터를 반전시키거나 또는 그대로 출력한다.

<33> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 반도체 장치의 데이터 반전 회로는, 멀티-비트 프리페치 스킴을 가지는 반도체 장치의 데이터 반전 회로에 있어서, 복수의 반전 회로들을 구비하는 것을 특징으로 한다. 복수의 반전 회로들은 이전 클럭 사이클의 출력 데이터(이하, 초기 입력 데이터라 함)와 동시에 프리페치된 복수의 입력 데이터들을 병렬로 수신하고, 복수의 입력 데이터들을 반전/비반전 처리하여 복수의 출력 데이터들을 발생한다. 복수의 반전 회로들 각각은 초기 입력 데이터 및 복수의 입력 데이터들 중 출력 순서에서 이웃한 두 개의 입력 데이터들을 수신하여 토글링 여부를 판단하고, 그 판단 결과에 따라 두 개의 입력 데이터들 중 출력 순서에서 뒤를 잇는 입력 데이터를 반전/비반전 처리한다.

<34> 바람직하게, 복수의 반전 회로들 중 적어도 하나는 제1 논리 회로, 비교기, 및 제2 논리 회로를 포함한다. 제1 논리 회로는 초기 입력 데이터와, 복수의 입력 데이터들 중 제1 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력한다. 비교기는 내부 논리 신호에 응답하여 플래그 신호를 출력한다. 제2 논리 회로는 플래그 신호에 응답하여 복수의 출력 데이터들 중 제1 출력 데이터로서 제1 입력 데이터를 반전시키거나 또는 그대로 출력한다.

<35> 바람직하게, 복수의 반전 회로들 중 일부는 제1 논리 회로, 비교회로, 선택부 및 제2 논리 회로를 포함한다. 제1 논리 회로는 복수의 입력 데이터들 중 제J-1(J는 2이상의 자연수) 입력 데이터와 제J 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단

결과에 따라 내부 논리 신호를 출력한다. 비교회로는 내부 논리 신호에 응답하여 내부 플래그 신호와 반전된 내부 플래그 신호를 출력한다. 선택부는 제J-1 플래그 신호에 응답하여 내부 플래그 신호와 반전된 내부 플래그 신호 중 어느 하나를 선택하여 제J 플래그 신호로서 출력한다. 제2 논리 회로는 제J 플래그 신호에 응답하여 복수의 출력 데이터들 중 제J 출력 데이터로서 제J 입력 데이터를 반전시키거나 또는 그대로 출력한다.

<36> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 장치의 데이터 반전 회로는, 멀티-비트 프리페치 스킴을 가지는 반도체 장치의 데이터 반전 회로에 있어서, 복수의 반전 회로들을 구비하는 것을 특징으로 한다. 복수의 반전 회로들은 이전 클럭 사이클의 출력 데이터(이하, 초기 입력 데이터라 함)와 동시에 프리페치된 복수의 입력 데이터들을 병렬로 수신하고, 복수의 입력 데이터들을 반전/비반전 처리하여 복수의 출력 데이터들을 발생한다. 복수의 반전 회로들 각각은 초기 입력 데이터 및 복수의 입력 데이터들 중 출력 순서에서 이웃한 두 개의 입력 데이터들을 수신하여 토글링 여부를 판단하고, 그 판단 결과에 따라 두 개의 입력 데이터들 중 출력 순서에서 뒤를 잇는 입력 데이터를 반전/비반전 처리한다.

<37> 바람직하게, 복수의 반전 회로들 중 적어도 하나는 제1 논리 회로, 비교기, 및 제2 논리 회로를 포함한다. 제1 논리 회로는 초기 입력 데이터와, 복수의 입력 데이터들 중 제1 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력한다. 비교기는 내부 논리 신호에 응답하여 플래그 신호를 출력한다. 제2 논리 회로는 플래그 신호에 응답하여 복수의 출력 데이터들 중 제1 출력 데이터로서 제1 입력 데이터를 반전시키거나 또는 그대로 출력한다.

<38> 바람직하게, 복수의 반전 회로들 중 적어도 하나는 제1 입력 데이터를 수신하여 소정 시간 동안 지연시키고, 그 지연된 제1 입력 데이터를 제2 논리 회로에 출력하는 지연 회로를 더

포함한다. 소정 시간은 제1 입력 데이터가 제1 논리 회로에 입력된 후, 비교기로부터 플래그 신호가 출력될 때까지 걸리는 시간이다.

<39> 바람직하게, 복수의 반전 회로들 중 일부는 제1 논리 회로, 비교기, 플래그 신호 발생기 및 제2 논리 회로를 포함한다. 제1 논리 회로는 복수의 입력 데이터들 중 제J-1(J는 2이상의 자연수) 입력 데이터와 제J 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력한다. 비교기는 내부 논리 신호에 응답하여 내부 플래그 신호를 출력한다. 플래그 신호 발생기는 제J-1 플래그 신호에 응답하여 제J 플래그 신호로서 내부 플래그 신호를 반전시키거나 또는 그대로 출력한다. 제2 논리 회로는 제J 플래그 신호에 응답하여 복수의 출력 데이터들 중 제J 출력 데이터로서 제J 입력 데이터를 반전시키거나 또는 그대로 출력한다.

<40> 바람직하게 복수의 반전 회로들 중 일부는 제J 입력 데이터를 수신하여 소정 시간 동안 지연시키고, 그 지연된 제J 입력 데이터를 제2 논리 회로에 출력하는 지연 회로를 더 포함한다. 소정 시간은 제J 입력 데이터가 제1 논리 회로에 입력된 후, 플래그 신호 발생기로부터 제J 플래그 신호가 출력될 때까지 걸리는 시간이다.

<41> 상기 또 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 장치의 데이터 반전 방법은, (a) 이전 클럭 사이클의 출력 데이터(이하, 초기 입력 데이터라 함)와 동시에 프리페치된 복수의 입력 데이터들을 병렬로 수신하는 단계; (b) 상기 초기 입력 데이터 및 상기 복수의 입력 데이터들 중 출력 순서에서 이웃한 두 개의 입력 데이터들별로 토글링 여부를 판단하고, 그 판단 결과에 따라 복수의 플래그 신호들을 발생하는 단계; 및 (c) 상기 복수의 플래그 신호들에 각각 응답하여 상기 복수의 입력 데이터들을 각각 반전/비반전 처리하여 복수의 출력 데이터들을 발생하는 단계를 포함하는 것을 특징으로 한다.

- <42> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <43> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <44> 도 2는 본 발명에 따른 데이터 반전 회로를 구비하는 반도체 메모리 장치를 개략적으로 나타내는 블록도이다. 도 2에서는 4비트 프리페치 스킴을 채용하고, 8개의 DQ 패드들(DQ1~DQ8)을 구비하는 반도체 메모리 장치(100)가 일례로서 도시된다.
- <45> 도 2를 참고하면, 상기 반도체 메모리 장치(100)는 메모리셀 어레이(110), 데이터 반전 회로(200), 데이터 출력 버퍼(120) 및 플래그 신호 버퍼(130)를 구비한다. 상기 메모리셀 어레이(110)는 데이터 독출 명령에 응답하여 제1 내지 제4 입력 데이터들(FD0i_1~FD0i_4, i=1~8)을 동시에 프리페치하여 병렬로 출력한다. 도 2에서, i는 각각 대응하는 DQ 패드로 출력될 데이터를 구분하기 위한 것으로 사용된다. 도 2에 도시된 상기 반도체 메모리 장치(100)는 8개의 DQ 패드를 가지므로, i는 1에서 8까지의 정수이다. 예를 들어, FD01은 상기 DQ 패드(DQ1)로 출력될 데이터를 나타내고, FD02는 상기 DQ 패드(DQ2)로 출력될 데이터를 나타낸다. 상기 제1 내지 제4 입력 데이터들(FD0i_1~FD0i_4) 각각은 8개의 DQ 패드들(DQ1~DQ8)에 각각 대응하는 8비트의 데이터를 포함한다. 결국, 상기 데이터 독출 명령에 응답하여 상기 메모리셀 어레이(110)로부터 총 8*4비트(즉, 32비트)의 데이터가 독출된다.
- <46> 그리고, '_' 다음의 숫자는 동일 DQ 패드로 출력될 4비트의 데이터를 구분하기 위한 것이다. 다시 말하면, FD0i_1은 i 번째 DQ 패드에서 첫 번째로 출력될 1비트의 데이터를 나타내고, FD0i_2는 i 번째 DQ 패드에서 두 번째로 출력될 1비트의 데이터를 나타낸다. 마찬가지로,

FDO_i_3은 i 번째 DQ 패드에서 세 번째로 출력될 1비트의 데이터를 나타내고, FDO_i_4는 i 번째 DQ 패드에서 네 번째로 출력될 1비트의 데이터를 나타낸다.

<47> 상기 데이터 반전 회로(200)는 상기 메모리셀 어레이(110)로부터 출력되는 상기 제1 내지 제4 입력 데이터들(FDO_i_1~FDO_i_4)을 수신하여 반전/비반전 여부를 결정한다. 이 후, 상기 데이터 반전 회로(200)는 그 결정에 따라 상기 제1 내지 제4 입력 데이터들(FDO_i_1~FDO_i_4)을 반전시키거나 또는 그대로 제1 내지 제4 출력 데이터들(DO_i_1~DO_i_4, i=1~8)로서 출력한다. 아울러, 상기 데이터 반전 회로(200)는 상기 제1 내지 제4 입력 데이터들(FDO_i_1~FDO_i_4)의 반전 여부를 나타내는 플래그 신호(S_j, j=1~4)를 출력한다.

<48> 상기 데이터 출력 버퍼(120)는 상기 데이터 반전 회로(200)로부터 출력되는 상기 제1 내지 제4 출력 데이터들(DO_i_1~DO_i_4)을 수신하고 이들을 제1 내지 제8 DQ 패드들(DQ1~DQ8)을 통하여 반도체 메모리 장치(100)의 외부로 출력한다.

<49> 한편, 상기 데이터 반전 회로(200)에서 출력되는 플래그 신호(S_j, j=1~4)는 상기 플래그 신호 버퍼(130)를 통하여 외부로 출력된다. 이 때, 상기 플래그 신호는 데이터 마스킹 핀(data masking pin, 이하 DM 핀이라 함)을 통하여 외부로 출력되는 것이 바람직하다. DM 핀은 데이터 핀 외의 별도의 핀으로서, 동기식 디램(SDRAM)에 일반적으로 구비되는 핀이다. 이 핀은 기입 모드에서는 입력되는 데이터를 마스킹하는데, 즉 입력 데이터가 반도체 메모리 장치 내에 기입되지 않도록 하는데 사용되지만, 독출 모드에서는 일반적으로 사용되지 않는다. 따라서 기존의 DM 핀이 본 발명에서 플래그 신호를 출력하는데 사용되므로, 반도체 메모리 장치는 플래그 신호의 출력을 위한 추가의 핀을 구비할 필요가 없다.

<50> 도 3은 도 2에 도시된 본 발명의 일 실시예에 따른 데이터 반전 회로를 상세하게 나타내는 블록도이다. 도 3을 참고하면, 데이터 반전 회로(200)는 제1 내지 제4 반전 회로들(201~

204)을 포함한다. 도 3에서는 4비트 프리페치 스킴에 기초하여 4개의 반전 회로들을 포함하는 데이터 반전 회로(200)가 일례로서 도시된다. 데이터 반전 회로에 포함되는 반전 회로의 수는 적용되는 프리페치 스킴에 따라 다양하게 변경될 수 있다. 예를 들어, 6비트 프리페치 스킴이 적용될 경우 데이터 반전 회로는 6개의 반전 회로들을 포함하게 된다.

<51> 상기 제1 내지 제4 반전 회로들(201~204)은 제1 논리 회로들(211~214), 비교기들(221~224) 및 제2 논리 회로들(231~234)을 포함한다. 또, 상기 제2 내지 제4 반전 회로들(202~204)은 플래그 신호 발생기들(242~244)을 더 포함한다.

<52> 상기 제1 반전 회로(201)에서, 상기 제1 논리 회로(211)는 8비트의 제1 입력 데이터(FDOi_1)와 상기 제4 반전 회로(204)로부터 이전 클럭 사이클에 출력된 8비트의 제4 출력 데이터(DOi_4')를 수신하고 내부 논리 신호(XOi_1, i=1~8)를 출력한다. 이를 좀 더 상세히 설명하면, 상기 제1 논리 회로(211)는 상기 제1 입력 데이터(FDOi_1)와 상기 제4 출력 데이터(DOi_4')의 대응하는 비트별로 토글링되었는지의 여부를 판단하고 그 판단 결과에 따라 상기 내부 논리 신호(XOi_1)를 출력한다. 상기 비교기(221)는 상기 내부 논리 신호(XOi_1)에 응답하여 제1 플래그 신호(S1)를 출력한다. 상기 제2 논리 회로(231)는 상기 제1 플래그 신호(S1)에 응답하여 상기 제1 입력 데이터(FDOi_1)를 반전시키거나 또는 그대로 제1 출력 데이터(DOi_1)로서 출력한다. 여기에서, 상기 제4 출력 데이터(DOi_4')는 래치 회로(미도시)에 의해 래치되어 있다. 또, 상기 제1 입력 데이터(FDOi_1)는 동시에 프리페치된 상기 제1 내지 제4 입력 데이터들(FDOi_1, FDOi_2, FDOi_3, FDOi_4) 중에서 제1 내지 제8 DQ 패드를 통하여 첫 번째로 출력될 데이터를 말한다. 상기 제1 반전 회로(201)는 도 4를 참고하여 좀 더 상세히 후술된다.

<53> 상기 제2 반전 회로(202)에서, 상기 제1 논리 회로(212)는 8비트의 상기 제1 입력 데이터(FDOi_1)와 8비트의 상기 제2 입력 데이터(FDOi_2)를 수신하고 내부 논리 신호(XOi_2,

i=1~8)를 출력한다. 이를 좀 더 상세히 설명하면, 상기 제1 논리 회로(212)는 상기 제1 입력 데이터(FDOi_1)와 상기 제2 입력 데이터(FDOi_2)의 대응하는 비트별로 토글링되었는지의 여부를 판단하고 그 판단 결과에 따라 상기 내부 논리 신호(XOi_2)를 출력한다. 상기 비교기(222)는 상기 내부 논리 신호(XOi_2)에 응답하여 제1 내부 플래그 신호(P1)를 출력한다. 상기 플래그 신호 발생기(242)는 상기 제1 플래그 신호(S1)에 응답하여 상기 제1 내부 플래그 신호(P1)를 반전시켜 출력하거나 또는 그대로 제2 플래그 신호(S2)로서 출력한다. 상기 제2 논리 회로(232)는 상기 제2 플래그 신호(S2)에 응답하여 상기 제2 입력 데이터(FDOi_2)를 반전시키거나 또는 그대로 제2 출력 데이터(DOi_2)로서 출력한다. 여기에서, 상기 제2 입력 데이터(FDOi_2)는 동시에 프리페치된 상기 제1 내지 제4 입력 데이터들(FDOi_1, FDOi_2, FDOi_3, FDOi_4) 중에서 제1 내지 제8 DQ 패드를 통하여 두 번째로 출력될 데이터를 말한다. 상기 제2 반전 회로(202)는 도 5를 참고하여 좀 더 상세히 후술된다.

<54> 상기 제3 반전 회로(203)에서, 상기 제1 논리 회로(213)는 8비트의 상기 제2 입력 데이터(FDOi_2)와 8비트의 상기 제3 입력 데이터(FDOi_3)를 수신하고 내부 논리 신호(XOi_3, i=1~8)를 출력한다. 이를 좀 더 상세히 설명하면, 상기 제1 논리 회로(213)는 상기 제2 입력 데이터(FDOi_2)와 상기 제3 입력 데이터(FDOi_3)의 대응하는 비트별로 토글링되었는지의 여부를 판단하고 그 판단 결과에 따라 상기 내부 논리 신호(XOi_3)를 출력한다. 상기 비교기(223)는 상기 내부 논리 신호(XOi_3)에 응답하여 제2 내부 플래그 신호(P2)를 출력한다. 상기 플래그 신호 발생기(243)는 상기 제2 플래그 신호(S2)에 응답하여 상기 제2 내부 플래그 신호(P2)를 반전시키거나 또는 그대로 제3 플래그 신호(S3)로서 출력한다. 상기 제2 논리 회로(233)는 상기 제3 플래그 신호(S3)에 응답하여 상기 제3 입력 데이터(FDOi_3)를 반전시

키거나 또는 그대로 제3 출력 데이터(DOi_3)로서 출력한다. 여기에서, 상기 제3 입력 데이터(FDOi_3)는 동시에 프리페치된 상기 제1 내지 제4 입력 데이터들(FDOi_1, FDOi_2, FDOi_3, FDOi_4) 중에서 제1 내지 제8 DQ 패드를 통하여 세 번째로 출력될 데이터를 말한다.

<55> 상기 제4 반전 회로(204)에서, 상기 제1 논리 회로(214)는 8비트의 상기 제3 입력 데이터(FDOi_3)와 8비트의 상기 제4 입력 데이터(FDOi_4)를 수신하고 내부 논리 신호(XOi_4, $i=1\sim 8$)를 출력한다. 이를 좀 더 상세히 설명하면, 상기 제1 논리 회로(214)는 상기 제3 입력 데이터(FDOi_3)와 상기 제4 입력 데이터(FDOi_4)의 대응하는 비트별로 토글링되었는지의 여부를 판단하고 그 판단 결과에 따라 상기 내부 논리 신호(XOi_4)를 출력한다. 상기 비교기(224)는 상기 내부 논리 신호(XOi_4)에 응답하여 제3 내부 플래그 신호(P3)를 출력한다. 상기 플래그 신호 발생기(244)는 상기 제3 플래그 신호(S3)에 응답하여 상기 제3 내부 플래그 신호(P3)를 반전시키거나 또는 그대로 제4 플래그 신호(S4)로서 출력한다. 상기 제2 논리 회로(234)는 상기 제4 플래그 신호(S4)에 응답하여 상기 제4 입력 데이터(FDOi_4)를 반전시키거나 또는 그대로 제4 출력 데이터(DOi_4)로서 출력한다. 여기에서, 상기 제4 입력 데이터(FDOi_4)는 동시에 프리페치된 상기 제1 내지 제4 입력 데이터들(FDOi_1, FDOi_2, FDOi_3, FDOi_4) 중에서 제1 내지 제8 DQ 패드를 통하여 네 번째로 출력될 데이터를 말한다. 여기에서, 상기 비교기들(221~224)은 도 6을 참고하여 좀 더 상세히 후술된다.

<56> 다음으로, 도 4를 참고하여 상기 제1 반전 회로(201)를 좀 더 상세히 설명한다. 도 4와 같이, 상기 제1 반전 회로(201)의 제1 논리 회로(211)와 제2 논리 회로(231)는 각각 8개의 XOR 게이트들(XOR11~XOR18, XOR21~XOR28)을 포함한다. 여기에서, 상기 제1 논리 회로(211)와 상기 제2 논리 회로(231)에 포함되는 XOR 게이트의 수는 동시에 프리페치되는 데이터들 중 하나에 포함되는 비트 수(DQ 패드의 수와 동일함)에 기초하여 다양하게 변경될 수 있다.

<57> ,상기 제1 논리 회로(211)의 XOR 게이트들(XOR11~XOR18)은 8비트의 제1 입력 데이터(FD01_1~FD08_1)와 이전 클럭 사이클에 상기 제4 반전 회로(204)로부터 출력된 8비트의 제4 출력 데이터(D01_4'~D08_4')를 배타적 논리합하고, 그 결과로서 내부 논리 신호들(X01_1~X08_1)을 출력한다. 이를 좀 더 상세히 설명하면, 상기 XOR 게이트들(XOR11~XOR18)은 상기 제1 입력 데이터(FD01_1~FD08_1)가 상기 제4 출력 데이터(D01_4'~D08_4')와 동일할 때 상기 내부 논리 신호들(X01_1~X08_1)을 로우 레벨로 출력한다. 또, 상기 XOR 게이트들(XOR11~XOR18)은 상기 제1 입력 데이터(FD01_1~FD08_1)가 상기 제4 출력 데이터(D01_4'~D08_4')와 다를 때, 즉, 토글링되었을 때 상기 내부 논리 신호들(X01_1~X08_1)을 하이 레벨로 출력한다. 예를 들어, 상기 제1 입력 데이터(FD01_1~FD08_1)가 "10001111"이고, 상기 제4 출력 데이터(D01_4'~D08_4')가 "11110000"이라고 가정하자. 이 경우, 상기 XOR 게이트(XOR11)는 상기 내부 논리 신호(X01)를 로우 레벨로 출력하고, 상기 XOR 게이트들(XOR12~XOR18)은 상기 내부 논리 신호들(X02_1~X08_1)을 하이 레벨로 출력한다.

<58> 상기 비교기(221)는 상기 내부 논리 신호들(X01_1~X08_1)을 수신하고, 상기 내부 논리 신호들(X01_1~X08_1) 중 반 이상, 즉, 4개 이상이 하이 레벨이면, 하이 레벨의 제1 플래그 신호(S1)를 출력한다. 반대로, 상기 내부 논리 신호들(X01_1~X08_1) 중 반 미만, 즉, 3개 이하가 하이 레벨이면, 상기 비교기(221)는 로우 레벨의 제1 플래그 신호(S1)를 출력한다. 여기에서, 상기 제1 플래그 신호(S1)가 하이 레벨일 때, 상기 제1 입력 데이터(FD01_1~FD08_1)와 상기 제4 출력 데이터(D01_4'~D08_4')간의 토글링 된 비트수가 반 이상임을 의미한다.

<59> 상기 제2 논리 회로(231)의 XOR 게이트들(XOR21~XOR28)은 상기 제1 입력 데이터(FD01_1~FD08_1)와 상기 제1 플래그 신호(S1)를 배타적 논리합하고, 그 결과로서 8비트의 제1 출력 데이터(D01_1~D08_1)를 출력한다. 여기에서, 상기 제1 플래그 신호(S1)가 하이 레벨일 때, 상

기 제1 출력 데이터(D01_1~D08_1)는 상기 제1 입력 데이터(FD01_1~FD08_1)의 반전 값과 동일하다. 또, 상기 제1 플래그 신호(S1)가 로우 레벨일 때, 상기 제1 출력 데이터(D01_1~D08_1)는 상기 제1 입력 데이터(FD01_1~FD08_1)와 동일하다.

<60> 다음으로, 도 5를 참고하여 상기 제2 반전 회로(202)를 좀 더 상세히 설명한다. 도 5를 참고하면, 상기 제2 반전 회로(202)의 제1 논리 회로(212)와 제2 논리 회로(232)는 각각 8개의 XOR 게이트들(XOR11~XOR18, XOR21~XOR28)을 포함한다. 상기 제1 논리 회로(212)의 XOR 게이트들(XOR11~XOR18)은 상기 제1 입력 데이터(FD01_1~FD08_1)와 제2 입력 데이터(FD01_2~FD08_2)를 배타적 논리합하고, 그 결과로서 내부 논리 신호들(X01_2~X08_2)을 출력한다. 여기에서, 상기 제1 논리 회로(212)의 XOR 게이트들(XOR11~XOR18)의 동작 설명은 도 4에 도시된 제1 논리 회로(211)의 XOR 게이트들(XOR11~XOR18)과 동일하므로 생략된다.

<61> 상기 비교기(222)는 상기 내부 논리 신호들(X01_2~X08_2)을 수신하고, 상기 내부 논리 신호들(X01_2~X08_2) 중 반 이상, 즉, 4개 이상이 하이 레벨이면, 하이 레벨의 제1 내부 플래그 신호(P1)를 제1 노드(ND1)에 출력한다. 반대로, 상기 내부 논리 신호들(X01_2~X08_2) 중 반 미만, 즉, 3개 이하가 하이 레벨이면, 상기 비교기(222)는 로우 레벨의 제1 내부 플래그 신호(P1)를 상기 제1 노드(ND1)에 출력한다. 여기에서, 상기 제1 내부 플래그 신호(P1)가 하이 레벨일 때, 상기 제1 입력 데이터(FD01_1~FD08_1)와 상기 제2 입력 데이터(FD01_2~FD08_2)간의 토글링 된 비트수가 반 이상임을 의미한다.

<62> 상기 제2 반전 회로(202)의 플래그 신호 발생기(242)는 인버터들(251, 252)과 스위치들(253, 254)을 포함한다. 도 5에서는 상기 스위치들(253, 254)이 NMOS 트랜지스터들로 구현된 경우가 도시된다. 상기 인버터(251)는 상기 제1 노드(ND1)로부터 출력되는 상기 제1 내부 플래그 신호(P1)를 반전시키고, 반전된 제1 내부 플래그 신호(P1B)를 출력한다. 상기 인버터(252)

는 제1 반전 회로(201)의 비교기(221)로부터 출력되는 제1 플래그 신호(S1)를 반전시키고, 반전된 제1 플래그 신호(S1B)를 출력한다.

<63> 상기 NMOS 트랜지스터(253)의 드레인은 상기 인버터(251)의 출력단에 연결되고, 소스는 제2 노드(ND2)에 연결된다. 또, 상기 NMOS 트랜지스터(253)의 게이트에는 상기 제1 플래그 신호(S1)가 입력된다. 상기 NMOS 트랜지스터(254)의 드레인은 상기 제1 노드(ND1)에 연결되고, 소스는 상기 제2 노드(ND2)에 연결된다. 또, 상기 NMOS 트랜지스터(254)의 게이트에는 상기 반전된 제1 플래그 신호(S1B)가 입력된다.

<64> 상기 제1 플래그 신호(S1)에 응답하여 상기 NMOS 트랜지스터(253)가 턴 온 또는 턴 오프되고, 상기 반전된 제1 플래그 신호(S1B)에 응답하여 상기 NMOS 트랜지스터(254)가 턴 온 또는 턴 오프된다. 즉, 상기 제1 플래그 신호(S1)가 하이 레벨일 때 상기 NMOS 트랜지스터(253)가 턴 온되고 상기 NMOS 트랜지스터(254)는 턴 오프된다. 반대로, 상기 제1 플래그 신호(S1)가 로우 레벨일 때 상기 NMOS 트랜지스터(253)가 턴 오프되고 상기 NMOS 트랜지스터(254)가 턴 온된다.

<65> 상기 NMOS 트랜지스터(253)가 턴 온될 때, 상기 반전된 제1 내부 플래그 신호(P1B)를 제2 플래그 신호(S2)로서 상기 제2 노드(ND2)에 출력하고, 상기 NMOS 트랜지스터(254)가 턴 온될 때 상기 제1 내부 플래그 신호(P1)를 상기 제2 플래그 신호(S2)로서 상기 제2 노드(ND2)에 출력한다.

<66> 결국, 상기 플래그 신호 발생기(242)는 상기 제1 플래그 신호(S1)의 레벨에 따라 상기 제1 내부 플래그 신호(P1)를 반전시키거나 또는 그대로 상기 제2 플래그 신호(S2)로서 출력한다.

- <67> 상기 제2 논리 회로(232)의 XOR 게이트들(XOR21~XOR28)은 상기 제1 입력 데이터(FD01_1~FD08_1)와 상기 제2 플래그 신호(S2)를 배타적 논리합하고, 그 결과로서 제2 출력 데이터(D01_2~D08_2)를 출력한다. 여기에서, 상기 제2 플래그 신호(S2)가 하이 레벨일 때, 상기 제2 출력 데이터(D01_2~D08_2)는 상기 제1 입력 데이터(FD01_1~FD08_1)의 반전 값과 동일하다. 또, 상기 제2 플래그 신호(S2)가 로우 레벨일 때, 상기 제2 출력 데이터(D01_2~D08_2)는 상기 제1 입력 데이터(FD01_1~FD08_1)와 동일하다.
- <68> 여기에서, 상기 제3 및 제4 반전 회로(203, 204)의 구성 및 구체적인 동작 역시 상기 제2 반전 회로(202)와 유사하다.
- <69> 다음으로, 도 6을 참고하여 도 3에 도시된 비교기들(221~224)을 좀 더 상세히 설명한다. 도 6과 같이, 상기 비교기들(221~224) 각각은 비교 전압 발생회로(310), 기준 전압 발생회로(320) 및 차동 증폭기(330)를 포함한다.
- <70> 상기 비교 전압 발생회로(310)는 제1 논리 회로들(211~214)로부터 각각 출력되는 내부 논리 신호들(X01_j~X08_j, j=1~4)에 응답하여 비교 전압(VCOM)을 발생하고, 상기 비교 전압(VCOM)을 출력 노드(OUT1)로 출력한다. 상기 비교 전압 발생회로(310)는 PMOS 트랜지스터(WP)와 8개의 NMOS 트랜지스터들(WN)을 포함한다.
- <71> 상기 PMOS 트랜지스터(WP)의 소오스는 내부 전압(VDD)에 연결되고, 게이트는 그라운드에 연결되고, 드레인은 상기 출력 노드(OUT1)에 연결된다. 상기 8개의 NMOS 트랜지스터들(WN)의 드레인들은 상기 출력 노드(OUT1)에 연결되고, 소오스들은 그라운드에 연결된다. 그리고, 상기 8개의 NMOS 트랜지스터들(WN)의 게이트들에는 상기 내부 논리 신호들(X01_j~X08_j)이 입력된다. 상기 NMOS 트랜지스터들(WN)은 상기 내부 논리 신호들(X01_j~X08_j)에 응답하여 턴 온되

거나 또는 턴 오프된다. 여기에서, 턴 온되는 상기 NMOS 트랜지스터들(WN)의 수가 증가할수록 상기 비교 전압(VCOM)의 레벨이 낮아진다.

<72> 상기 기준 전압 발생회로(320)는 소정의 기준 전압(VREF)을 발생하여 출력 노드(OUT2)로 출력한다. 상기 기준 전압 발생회로(320)는 PMOS 트랜지스터(WP)와 8개의 NMOS 트랜지스터들(WN, WN')을 포함한다. 상기 PMOS 트랜지스터(WP)의 소오스는 상기 내부 전압(VDD)에 연결되고, 게이트는 그라운드에 연결되고, 드레인은 상기 출력 노드(OUT2)에 연결된다. 상기 8개의 NMOS 트랜지스터들(WN, WN')의 드레인들은 상기 출력 노드(OUT2)에 연결되고, 소오스들은 그라운드에 연결된다. 상기 8개의 NMOS 트랜지스터들(WN, WN') 중 4개의 NMOS 트랜지스터들(WN)의 게이트들은 그라운드에 연결되고, 나머지 4개의 NMOS 트랜지스터들(WN, WN')의 게이트들은 상기 내부 전압(VDD)에 연결된다. 여기에서, 상기 NMOS 트랜지스터(WN')의 크기는 바람직하게 다른 NMOS 트랜지스터들(WN) 크기의 약 1/2로 설정된다.

<73> 상기 기준 전압(VREF)의 레벨은 상기 내부 전압(VDD)에 게이트가 연결된 상기 NMOS 트랜지스터들(WN, WN')에 의해 결정된다. 즉, 상기 기준 전압(VREF)은 3개의 상기 NMOS 트랜지스터들(WN)과 1/2 크기를 갖는 상기 NMOS 트랜지스터(WN')가 턴 온될 때 상기 출력 노드(OUT2)에서 발생하는 전압이다.

<74> 따라서, 상기 비교 전압 발생회로(310)에서 적어도 4개 이상의 NMOS 트랜지스터들(WN)이 턴 온될 때, 상기 비교 전압(VCOM)의 레벨이 상기 기준 전압(VREF)의 레벨 보다 낮아진다.

<75> 상기 차동 증폭기(330)는 상기 비교 전압(VCOM)을 상기 기준 전압(VREF)에 비교하고, 그 비교 결과로서 플래그 신호(S1(Pk, k=1~3))를 출력한다. 좀 더 상세히 설명하면, 상기 차동 증폭기(330)는 상기 비교 전압(VCOM)이 상기 기준 전압(VREF) 보다 낮을 때 하이 레벨의 상기 플래그 신호(S1(Pk, k=1~3))를 출력한

다. 또, 상기 차동 증폭기(330)는 상기 비교 전압(VCOM)이 상기 기준 전압(VREF) 보다 높을 때 로우 레벨의 상기 플래그 신호(S1(Pk, k=1~3))를 출력한다.

<76> 다음으로, 도 3 내지 도 6을 참고하여, 본 발명의 일 실시예에 따른 데이터 반전 회로(200)의 동작 과정을 설명한다. 먼저, 이전 클럭 사이클에 출력된 제4 출력 데이터(DOi_4')와, 동시에 프리페치된 제1 내지 제4 입력 데이터들(FDOi_1~FDOi_4)의 값이 다음의 [표 1]과 같다고 가정하자.

<77> 【표 1】

데이터	비트 값							
	i=1	i=2	i=3	i=4	i=5	i=6	i=7	i=8
DOi_4'	1	1	0	0	0	0	1	1
FDOi_1	1	1	1	1	1	1	0	0
FDOi_2	1	1	1	1	1	1	0	1
FDOi_3	1	0	0	0	0	0	0	1
FDOi_4	1	0	0	0	0	0	1	0

<78> 도 3을 참고하면, 제1 내지 제4 반전 회로들(201~204)의 제1 논리 회로들(211~214) 각각은 출력 순서에서 이웃한 두 개의 데이터들을 수신하여 배타적 논리합하고, 그 결과로서 내부 논리 신호들(XOi_1~XOi_4)을 출력한다.

<79> 상기 출력 순서는 제1 내지 제4 입력 데이터들(FDOi_1~FDOi_4)가 상기 데이터 반전 회로(200)에 의해 반전/비반전 처리된 후, 반도체 메모리 장치(100)의 외부로 출력될 때의 순서를 말한다. 도 3에서는 제1 입력 데이터(FDOi_1), 제2 입력 데이터(FDOi_2), 제3 입력 데이터(FDOi_3), 제4 입력 데이터(FDOi_4)의 순으로 그들의 반전/비반전 처리 결과가 반도체 메모리 장치(100)의 외부로 출력되는 것으로 가정한다. 따라서, 출력 순서에서 이웃한 두 개의 데이터들은 각각 제1 입력 데이터(FDOi_1)와 제2 입력 데이터(FDOi_2), 제2 입력 데이터(FDOi_2)와

제3 입력 데이터(FD0i_3), 제3 입력 데이터(FD0i_3)와 제4 입력 데이터(FD0i_4)이다. 상기 제1 논리 회로들(212~214)은 상기 두 개의 데이터들을 각각 수신한다.

<80> 또, 제4 출력 데이터(D0i_4')는 이전 클럭 사이클에 출력되었으므로, 출력 순서가 제1 입력 데이터(FD0i_1) 보다 앞선다. 따라서, 상기 제1 논리 회로(211)는 제4 출력 데이터(D0i_4')와 제1 입력 데이터(FD0i_1)를 수신한다.

<81> 상기 제1 논리 회로들(211~214)은 동시에 동작한다. 즉, 상기 제1 논리 회로(211)가 동작할 때, 상기 제1 논리 회로들(212~214)도 함께 동작한다.

<82> 상기 내부 논리 신호들(X0i_1~X0i_4)은 상기 제1 논리 회로들(211~214)에 각각 입력된 이웃한 두 개의 데이터들의 대응하는 비트들이 토글링되었는지의 여부를 나타낸다.

<83> 도 4를 참고하면, 상기 제1 논리 회로(211)의 XOR 게이트들(XOR11~XOR18)은 상기 제4 출력 데이터(D01_4'~D08_4'), "11000011"과 상기 제1 입력 데이터(FD01_1~FD08_1), "11111100"을 배타적 논리합한다. 여기에서, 상기 제4 출력 데이터의 비트들(D01_4', D02_4')과 상기 제1 입력 데이터의 비트들(FD01_1, FD02_1)을 제외하고 나머지 비트들이 토글링되었으므로, 상기 XOR 게이트들(XOR11~XOR18)은 내부 논리 신호들(X01_1~X08_1), "00111111"을 출력한다.

<84> 도 5를 참고하면, 상기 제1 논리 회로(212)의 XOR 게이트들(XOR11~XOR18)은 상기 제1 입력 데이터(FD01_1~FD08_1), "11111100"과 상기 제2 입력 데이터(FD01_2~FD08_2), "11111101"을 배타적 논리합한다. 여기에서, 상기 제1 입력 데이터의 비트(FD08_1)와 상기 제2 입력 데이터의 비트(FD08_2)만이 토글링되었으므로, 상기 XOR 게이트들(XOR11~XOR18)은 내부 논리 신호들(X01_2~X08_2), "00000001"을 출력한다.

- <85> 상기 제1 논리 회로들(213, 214) 역시 상기 제1 논리 회로(212)와 유사하게 동작하여 내부 논리 신호들(X01_3~X08_3), "01111100"과 내부 논리 신호들(X01_4~X08_4), "00000011"을 각각 출력한다.
- <86> 이 후, 상기 제1 내지 제4 반전 회로들(201~204)의 비교기들(221~224)은 상기 내부 논리 신호들(X0i_1~X0i_4)에 기초하여 토글링된 비트의 수가 반 이상인지의 여부를 판단하고, 그 판단 결과로서 플래그 신호(S1(Pk))를 출력한다. 여기에서, 상기 비교기들(221~224)은 동시에 동작한다.
- <87> 도 6을 참고하여 이를 좀 더 상세히 설명하면, 상기 비교기(221)의 비교 전압 발생회로(310)에 상기 내부 논리 신호들(X01_1~X08_1), "00111111"이 입력된다. 그 결과, 상기 비교 전압 발생회로(310)에서 6개의 NMOS 트랜지스터들(WN)이 턴 온되고, 출력 노드(OUT1)로 출력되는 비교 전압(VCOM)의 레벨이 기준 전압(VREF) 보다 더 낮아진다. 차동 증폭기(330)는 상기 비교 전압(VCOM)이 상기 기준 전압(VREF) 보다 더 낮으므로 하이 레벨의 제1 플래그 신호(S1)를 출력한다.
- <88> 또, 상기 비교기(222)의 비교 전압 발생회로(310)에 상기 내부 논리 신호들(X01_2~X08_2), "00000001"이 입력된다. 그 결과, 상기 비교 전압 발생회로(310)에서 1개의 NMOS 트랜지스터(WN)만이 턴 온되고, 출력 노드(OUT1)로 출력되는 비교 전압(VCOM)의 레벨이 상기 기준 전압(VREF) 보다 더 높아진다. 차동 증폭기(330)는 상기 비교 전압(VCOM)이 상기 기준 전압(VREF) 보다 더 높으므로 로우 레벨의 제1 내부 플래그 신호(P1)를 출력한다.
- <89> 상기 비교기들(223, 224) 역시 상기 비교기(222)와 유사하게 동작하여, 하이 레벨의 제2 내부 플래그 신호(P2)와 로우 레벨의 제3 내부 플래그 신호(P3)를 각각 출력한다.

- <90> 다음으로, 제2 내지 제4 반전 회로들(202~204)의 상기 플래그 신호 발생기들(242~244)이 순차적으로 동작하여 제2 내지 제4 플래그 신호들(S2~S4)을 각각 순차적으로 발생한다. 즉, 상기 플래그 신호 발생기(242)가 상기 제2 플래그 신호(S2)를 발생한 후, 상기 플래그 신호 발생기(243)가 상기 제3 플래그 신호(S3)를 발생하고, 이 후 상기 플래그 신호 발생기(244)가 상기 제4 플래그 신호(S4)를 발생한다.
- <91> 도 5를 참고하여 이를 좀 더 상세히 설명하면, 상기 제1 플래그 신호(S1)가 하이 레벨이므로 상기 플래그 신호 발생기(242)의 NMOS 트랜지스터(253)가 턴 온되고 NMOS 트랜지스터(254)는 턴 오프된다. 그 결과 상기 플래그 신호 발생기(242)는 로우 레벨의 상기 제1 내부 플래그 신호(P1)를 반전시켜, 하이 레벨의 상기 제2 플래그 신호(S2)를 출력한다.
- <92> 상기 플래그 신호 발생기들(243, 244) 역시 상기 플래그 신호 발생기(242)와 유사하게 동작하여, 로우 레벨의 상기 제3 플래그 신호(S3)와 로우 레벨의 상기 제4 플래그 신호(S4)를 각각 출력한다.
- <93> 여기에서, 상기 데이터 반전 회로(200)의 동작 과정에서 발생된 상기 내부 논리 신호들(X0i_1~X0i_4), 상기 제1 내지 제4 플래그 신호들(S1~S4) 및 상기 제1 내지 제3 내부 플래그 신호들(P1~P3)의 값들을 정리하면 아래의 [표 2]와 같이 나타낼 수 있다.
- <94>

【표 2】

신호	논리 레벨							
	i=1	i=2	i=3	i=4	i=5	i=6	i=7	i=8
X0i_1	0	0	1	1	1	1	1	1
X0i_2	0	0	0	0	0	0	0	1
X0i_3	0	1	1	1	1	1	0	0
X0i_4	0	0	0	0	0	0	1	1
P1	0							
P2	1							
P3	0							
S1	1							
S2	1							
S3	0							
S4	0							

<95> 다음으로, 상기 제1 내지 제4 반전 회로들(201~204)의 제2 논리 회로들(231~234)은 상기 제1 내지 제4 플래그 신호들(S1~S4)에 응답하여 제1 내지 제4 출력 데이터들(D0i_1~D0i_4)로서, 상기 제1 내지 제4 입력 데이터들(FD0i_1~FD0i_4)을 반전시켜 출력하거나 또는 그대로 출력한다. 여기에서, 상기 제2 논리 회로들(231~234)은 순차적으로 동작한다. 따라서 상기 제1 출력 데이터(D0i_1), 제2 출력 데이터(D0i_2), 제3 출력 데이터(D0i_3) 및 제4 출력 데이터(D0i_4)의 순으로 출력된다.

<96> 도 4를 참고하면, 상기 제2 논리 회로(231)의 XOR 게이트들(XOR21~XOR28)은 상기 제1 입력 데이터(FD01_1~FD08_1), "11111100"과 하이 레벨의 상기 제1 플래그 신호(S1)를 배타적 논리합한다. 상기 제1 플래그 신호(S1)가 하이 레벨이므로 상기 제2 논리 회로(231)의 XOR 게이트들(XOR21~XOR28)은 상기 제1 입력 데이터(FD01_1~FD08_1)의 반전 값 "00000011"을 제1 출력 데이터(D01_1~D08_1)로서 출력한다. 도 5를 참고하면, 상기 제2 논리 회로(232)의 XOR 게이트들(XOR21~XOR28)은 상기 제2 입력 데이터(FD01_2~FD08_2), "11111101"와 하이 레벨의 상기 제2 플래그 신호(S2)를 배타적 논리합한다. 상기 제2 플래그 신호(S2)가 하이 레벨이므로

상기 제2 논리 회로(232)의 XOR 게이트들(XOR21~XOR28)은 상기 제2 입력 데이터(FD01_2~FD08_2)의 반전 값 "00000010"을 제2 출력 데이터(D01_2~D08_2)로서 출력한다. 상기 제2 논리 회로(233) 역시 상기 제2 논리 회로(232)와 유사하게 동작하여, 상기 제3 출력 데이터(FD01_3~D08_3), "10000001"를 그대로 제3 출력 데이터(D01_3~D08_3)로서 출력한다. 또, 상기 제2 논리 회로(234) 역시 상기 제2 논리 회로(232)와 유사하게 동작하여, 상기 제4 출력 데이터(FD01_4~D08_4), "10000010"을 그대로 제4 출력 데이터(D01_4~D08_4)로서 출력한다. 여기에 서, 상기 제2 논리 회로들(231~234)에 의해 출력되는 상기 제1 내지 제4 출력 데이터들(D0i_1~D0i_4)의 값들을 정리하면 다음의 [표 3]과 같다.

<97> 【표 3】

데이터	비트 값							
	i=1	i=2	i=3	i=4	i=5	i=6	i=7	i=8
D0i_1	0	0	0	0	0	0	1	1
D0i_2	0	0	0	0	0	0	1	0
D0i_3	1	0	0	0	0	0	0	1
D0i_4	1	0	0	0	0	0	1	0

<98> 상기 [표 3]에서 참조되는 것과 같이, 상기 데이터 반전 회로(200)에 의한 반전/비반전 처리된 상기 제1 내지 제4 출력 데이터들(D0i_1~D0i_4)간의 상호 토글링되는 비트수는 상기 [표 1]의 상기 제1 내지 제4 입력 데이터들(FD0i_1~FD0i_4)간의 토글링되는 비트수와 비교할 때 현저하게 감소되는 것을 알 수 있다.

<99> 도 7은 도 2에 도시된 본 발명의 다른 실시예에 따른 데이터 반전 회로를 상세하게 나타내는 블록도이다. 도 7을 참고하면, 데이터 반전 회로(400)는 제1 내지 제4 반전 회로들(401~404)을 포함한다. 도 7에서는 4비트 프리페치 스킴에 기초하여 4개의 반전 회로들을 포함하는 데이터 반전 회로(400)가 일례로서 도시된다. 여기에서, 상기 제1 반전 회로(401)

의 구성 및 구체적인 동작 설명은 도 3 및 도 4에 도시된 제1 반전 회로(201)와 동일하므로 생략된다. 또, 상기 제2 내지 제4 반전 회로들(402~404)의 구성 및 구체적인 동작 설명은 도 3에 도시된 제2 내지 제4 반전 회로들(202~204)과 다음의 두 가지 차이점을 제외하고 동일하므로 생략된다.

- <100> 첫 번째 차이점은, 상기 제2 내지 제4 반전 회로들(202~204)의 비교기들(221~224)이 제1 내지 제3 내부 플래그 신호들(P1~P3)을 출력하는데 반해, 상기 제2 내지 제4 반전 회로들(402~404)의 비교 회로들(422~424)은 제1 내지 제3 상보 내부 플래그 신호들(P1, P1B~P3, P3B)을 출력한다는 것이다.
- <101> 두 번째 차이점은, 상기 제2 내지 제4 반전 회로들(202~204)이 플래그 신호 발생기들(242~244)을 포함하는데 반해, 상기 제2 내지 제4 반전 회로들(402~404)은 선택부들(442~444)을 포함한다는 것이다.
- <102> 도 8을 참고하여 상기의 두 가지 차이점을 중심으로 상기 제2 내지 제4 반전 회로들(402~404)을 좀 더 상세히 설명한다. 도 8은 도 7에 도시된 제2 반전 회로를 좀 더 상세히 도시하는 도면이다. 여기에서, 상기 제3 및 제4 반전 회로들(403, 404)의 구성 및 구체적인 동작은 상기 제2 반전 회로(402)와 유사하므로, 도 8에서는 상기 제2 반전 회로(402)를 중심으로 설명한다.
- <103> 도 8을 참고하면, 상기 제2 반전 회로(402)의 제1 논리 회로(412)와 제2 논리 회로(432)는 각각 8개의 XOR 게이트들(XOR11~XOR18, XOR21~XOR28)을 포함한다. 상기 제1 논리 회로(412)의 XOR 게이트들(XOR11~XOR18)은 제1 입력 데이터(FD01_1~FD08_1)와 제2 입력 데이터(FD01_2~FD08_2)를 배타적 논리합하고, 그 결과로서 내부 논리 신호들(X01_2~X08_2)을 출력한다.

- <104> 상기 비교 회로(422)는 비교기(451)와 인버터(452)를 포함한다. 상기 비교기(451)는 상기 내부 논리 신호들(X01_2~X08_2)을 수신하고, 상기 내부 논리 신호들(X01_2~X08_2) 중 반 이상, 즉, 4개 이상이 하이 레벨이면, 하이 레벨의 제1 내부 플래그 신호(P1)를 출력한다. 반대로, 상기 내부 논리 신호들(X01_2~X08_2) 중 반 미만, 즉, 3개 이하가 하이 레벨이면, 상기 비교기(222)는 로우 레벨의 제1 내부 플래그 신호(P1)를 출력한다. 여기에서, 상기 비교기(451)의 구성 및 구체적인 동작 설명은 도 6을 참고하여 상술한 상기 비교기들(221~224)과 동일하므로 생략된다. 상기 인버터(452)는 상기 제1 내부 플래그 신호(P1)를 반전시키고, 반전된 제1 내부 플래그 신호(P1B)를 출력한다.
- <105> 상기 제2 반전 회로(402)의 선택부(442)는 인버터(461)와 스위치들(462, 463)을 포함한다. 도 8에서는 상기 스위치들(462, 463)이 NMOS 트랜지스터들로 구현된다. 상기 인버터(461)는 제1 반전 회로(401)의 비교기(421)로부터 출력되는 제1 플래그 신호(S1)를 반전시키고, 반전된 제1 플래그 신호(S1B)를 출력한다.
- <106> 상기 NMOS 트랜지스터(462)의 드레인은 상기 인버터(452)의 출력단에 연결되고, 소스는 노드(ND)에 연결된다. 또, 상기 NMOS 트랜지스터(462)의 게이트에는 상기 제1 플래그 신호(S1)가 입력된다. 상기 NMOS 트랜지스터(463)의 드레인은 상기 비교기(451)의 출력단에 연결되고, 소스는 상기 노드(ND)에 연결된다. 또, 상기 NMOS 트랜지스터(463)의 게이트에는 상기 반전된 제1 플래그 신호(S1B)가 입력된다.
- <107> 상기 제1 플래그 신호(S1)에 응답하여 상기 NMOS 트랜지스터(462)가 턴 온 또는 턴 오프되고, 상기 반전된 제1 플래그 신호(S1B)에 응답하여 상기 NMOS 트랜지스터(463)가 턴 온 또는 턴 오프된다. 즉, 상기 제1 플래그 신호(S1)가 하이 레벨일 때 상기 NMOS 트랜지스터(462)가 턴 온되고 상기 NMOS 트랜지스터(463)는 턴 오프된다. 반대로, 상기 제1 플래그 신호(S1)가 로

우 레벨일 때 상기 NMOS 트랜지스터(462)가 턴 오프되고 상기 NMOS 트랜지스터(453)가 턴 온된다.

- <108> 상기 NMOS 트랜지스터(462)가 턴 온될 때, 상기 반전된 제1 내부 플래그 신호(P1B)를 제2 플래그 신호(S2)로서 상기 노드(ND)에 출력하고, 상기 NMOS 트랜지스터(463)가 턴 온될 때 상기 제1 내부 플래그 신호(P1)를 상기 제2 플래그 신호(S2)로서 상기 노드(ND)에 출력한다.
- <109> 결국, 상기 선택부(442)는 상기 제1 플래그 신호(S1)의 레벨에 따라 상기 제1 내부 플래그 신호(P1)와 상기 반전된 제1 내부 플래그 신호(P1B) 중 어느 하나를 선택하여 상기 제2 플래그 신호(S2)로서 출력한다.
- <110> 상기 제2 논리 회로(432)의 XOR 게이트들(XOR21~XOR28)은 상기 제2 입력 데이터(FD01_2~FD08_2)와 상기 제2 플래그 신호(S2)를 배타적 논리합하고, 그 결과로서 제2 출력 데이터(D01_2~D08_2)를 출력한다. 여기에서, 상기 제2 플래그 신호(S2)가 하이 레벨일 때, 상기 제2 출력 데이터(D01_2~D08_2)는 상기 제2 입력 데이터(FD01_2~FD08_2)의 반전 값과 동일하다. 또, 상기 제2 플래그 신호(S2)가 로우 레벨일 때, 상기 제2 출력 데이터(D01_2~D08_2)는 상기 제2 입력 데이터(FD01_2~FD08_2)와 동일하다.
- <111> 도 9는 도 7에 도시된 비교 회로의 일 구현예를 나타내는 회로도이다. 도 9를 참고하면, 비교 회로들(422~424) 각각은 비교 전압 발생회로(510), 기준 전압 발생회로(520) 및 내부 플래그 신호 발생회로(530)를 포함한다. 여기에서, 상기 비교 전압 발생회로(510)와 상기 기준 전압 발생회로(520)의 구성 및 구체적인 동작 설명은 도 6에 도시된 비교 전압 발생회로(310) 및 기준 전압 발생회로(320)와 동일하므로 생략된다.

- <112> 상기 내부 플래그 신호 발생회로(530)는 차동 증폭 회로(540)와 출력 회로들(550, 560)을 포함한다. 상기 차동 증폭 회로(540)는 차동 NMOS 트랜지스터들(NM1, NM2), 증폭 PMOS 트랜지스터들(PM1, PM2), 증폭 NMOS 트랜지스터들(NM3, NM4), 리셋 PMOS 트랜지스터들(PM3~PM6) 및 전류원 NMOS 트랜지스터(NM5)를 포함한다.
- <113> 상기 차동 NMOS 트랜지스터들(NM1, NM2)의 드레인들은 제1 출력 라인들(L1, L1B)에 각각 연결되고, 그들의 게이트들에는 비교 전압(VCOM)과 기준 전압(VREF)이 각각 입력된다. 상기 차동 NMOS 트랜지스터들(NM1, NM2)은 상기 비교 전압(VCOM)과 상기 기준 전압(VREF)을 비교하고, 상기 제1 출력 라인들(L1, L1B)에 출력 신호들(V0, VOB)을 각각 출력한다.
- <114> 상기 증폭 PMOS 트랜지스터들(PM1, PM2)은 제2 출력 라인들(L2, L2B)에 크로스 커플링되고(cross coupled), 그들의 소스들은 내부 전압(VDD)에 연결된다. 상기 증폭 NMOS 트랜지스터들(NM1, NM2) 역시 상기 제2 출력 라인들(L2, L2B)에 크로스 커플링되고, 그들의 소스들은 상기 제1 출력 라인들(L1, L1B)에 각각 연결된다. 상기 증폭 PMOS 트랜지스터들(PM1, PM2)과 상기 증폭 NMOS 트랜지스터들(NM1, NM2)은 상기 제1 출력 라인들(L1, L1B)에 전달된 상기 출력 신호들(V0, VOB)을 증폭시켜 상기 제2 출력 라인들(L2, L2B)에 출력한다. 상기 제2 출력 라인들(L2, L2B)의 노드들(D1, D2)로부터 증폭된 상기 출력 신호들(V0, VOB)이 각각 출력된다.
- <115> 상기 리셋 PMOS 트랜지스터들(PM3~PM6)의 게이트들에는 제어신호(PCOM)가 입력된다. 여기서, 상기 제어신호(PCOM)는 독출 명령에 응답하여 별도의 제어회로(미도시)로부터 발생되는 신호이다. 상기 리셋 PMOS 트랜지스터들(PM3, PM4)의 소스들은 상기 내부 전압(VDD)에 연결되고, 그들의 드레인들은 상기 제2 출력 라인(L2, L2B)에 각각 연결된다. 상기 리셋 PMOS 트랜지스터(PM5)의 소스와 드레인은 상기 제2 출력 라인(L2, L2B)에 각각 연결되고, 상기 리셋 PMOS 트랜지스터(PM6)의 소스와 드레인은 상기 제1 출력 라인(L1, L1B)에 각각 연결된다. 상기

리셋 PMOS 트랜지스터들(PM3~PM6)은 상기 제어신호(PCOM)에 응답하여 턴 온 또는 턴 오프되고, 턴 온될 때 상기 제1 출력 라인들(L1, L1B)과 상기 제2 출력 라인들(L2, L2B)의 전압 레벨을 상기 내부 전압(VDD) 레벨로 프리차지 한다.

<116> 상기 전류원 NMOS 트랜지스터(NM5)의 드레인은 상기 차동 NMOS 트랜지스터들(NM1, NM2)의 소스들에 연결되고, 그 소스는 그라운드 전압에 연결된다. 또, 상기 전류원 NMOS 트랜지스터(NM5)의 게이트에는 상기 제어신호(PCOM)가 입력된다. 상기 전류원 NMOS 트랜지스터(NM5)는 제어신호(PCOM)에 응답하여 턴 온 또는 턴 오프되고, 소스 전류(I_s)를 이용하여 상기 차동 증폭 회로(540)의 동작을 제어한다.

<117> 상기 출력 회로들(550, 560)은 인버터 회로들(551, 561)과 래치 회로들(552, 562)을 포함한다. 상기 인버터 회로(551)는 PMOS 트랜지스터들(PM7, PM8)과 NMOS 트랜지스터들(NM6, NM7)을 포함한다. 상기 PMOS 트랜지스터(PM7)의 소스는 상기 내부 전압(VDD)에 연결되고, 드레인은 상기 PMOS 트랜지스터(PM8)의 소스에 연결된다. 또, 상기 PMOS 트랜지스터(PM7)의 게이트에는 제어신호(PCOMB)가 입력된다. 상기 제어신호(PCOMB)는 상기 제어신호(PCOM)가 반전된 신호이다.

<118> 상기 PMOS 트랜지스터(PM8)와 상기 NMOS 트랜지스터(NM6)의 게이트들은 상기 노드(D1)에 연결된다. 상기 NMOS 트랜지스터(NM7)의 드레인은 상기 NMOS 트랜지스터(NM6)의 소스에 연결되고, 소스는 그라운드 전압에 연결된다. 상기 NMOS 트랜지스터(NM7)의 게이트에는 상기 제어신호(PCOM)가 입력된다. 또, 상기 PMOS 트랜지스터(PM8)와 상기 NMOS 트랜지스터(NM6)의 드레인들이 상기 래치 회로(552)의 입력단에 연결된다. 상기 인버터 회로(551)는 상기 제어신호들(PCOM, PCOMB)에 응답하여 상기 노드(D1)로부터 출력되는 상기 출력 신호(V0)를 반전시켜 출력

한다. 상기 래치 회로(552)는 상기 인버터 회로(551)의 출력 신호를 래치하고, 그 래치된 신호를 내부 플래그 신호(Pj)로서 출력한다.

<119> 상기 인버터 회로(561)는 PMOS 트랜지스터들(PM9, PM10)과 NMOS 트랜지스터들(NM8, NM9)을 포함한다. 상기 PMOS 트랜지스터(PM9)의 소스는 상기 내부 전압(VDD)에 연결되고, 드레인은 상기 PMOS 트랜지스터(PM10)의 소스에 연결된다. 또, 상기 PMOS 트랜지스터(PM9)의 게이트에는 상기 제어신호(PCOMB)가 입력된다. 상기 PMOS 트랜지스터(PM10)와 상기 NMOS 트랜지스터(NM8)의 게이트들은 상기 노드(D2)에 연결된다. 상기 NMOS 트랜지스터(NM9)의 드레인은 상기 NMOS 트랜지스터(NM8)의 소스에 연결되고, 소스는 그라운드 전압에 연결된다. 상기 NMOS 트랜지스터(NM9)의 게이트에는 상기 제어신호(PCOM)가 입력된다. 또, 상기 PMOS 트랜지스터(PM10)와 상기 NMOS 트랜지스터(NM8)의 드레인들이 상기 래치 회로(552)의 입력단에 연결된다. 상기 인버터 회로(561)는 상기 제어신호들(PCOM, PCOMB)에 응답하여 상기 노드(D2)로부터 출력되는 상기 출력 신호(VOB)를 반전시켜 출력한다. 상기 래치 회로(562)는 상기 인버터 회로(561)의 출력 신호를 래치하고, 그 래치된 신호를 내부 플래그 신호(PjB)로서 출력한다. 결국, 상기 차동 증폭 회로(540)로부터 상보 내부 플래그 신호들(Pj, PjB)이 출력된다.

<120> 다음으로, 상기와 같이 구성된 비교 회로들(422~424)의 동작 과정을 설명한다. 먼저, 상기 비교 전압 발생회로(510)는 내부 논리 신호들(X01_j~X08_j)에 응답하여 비교 전압(VCOM)을 발생한다. 상기 기준 전압 발생회로(520)는 소정의 기준 전압(VREF)을 발생한다. 여기에서, 상기 내부 논리 신호들(X01_j~X08_j) 중 반 이상, 즉, 4개 이상이 하이 레벨일 때, 상기 비교 전압(VCOM)이 상기 기준

전압(VREF) 보다 더 낮아진다. 반대로, 상기 내부 논리 신호들(X01_j~X08_j) 중 반 미만, 즉, 3개 이하가 하이 레벨일 때, 상기 비교 전압(VCOM)이 상기 기준 전압(VREF) 보다 더 낮아진다. 도 9에서는 상기 내부 논리 신호들(X01_j~X08_j) 중 반 이상, 즉, 4개 이상이 하이 레벨인 경우를 예를 들어 설명한다. 따라서, 상기 비교 전압(VCOM)이 상기 기준 전압(VREF) 보다 더 낮아진다.

<121> 다음으로, 상기 제어신호(PCOM)가 하이 레벨로 인에이블된다. 상기 제어신호(PCOM)에 응답하여 상기 차동 증폭 회로(540)의 상기 전류원 NMOS 트랜지스터(NM5)가 턴 온되고 상기 리셋 PMOS 트랜지스터들(PM3~PM6)이 턴 오프된다. 상기 차동 NMOS 트랜지스터들(NM1, NM2)은 상기 비교 전압(VCOM)과 상기 기준 전압(VREF)을 비교하고, 상기 제1 출력 라인들(L1, L1B)에 출력 신호들(V0, VOB)을 각각 출력한다. 여기에서, 상기 비교 전압(VCOM)이 상기 기준 전압(VREF) 보다 더 낮기 때문에, 상기 차동 NMOS 트랜지스터(NM2)에 비해 상기 차동 NMOS 트랜지스터(NM1)의 턴 온 저항의 크기가 더 크다. 그 결과, 상기 출력 신호(VOB)의 레벨이 상기 출력 신호(V0) 레벨 보다 더 낮아진다.

<122> 상기 증폭 PMOS 트랜지스터들(PM1, PM2)과 상기 증폭 NMOS 트랜지스터들(NM1, NM2)은 상기 제1 출력 라인들(L1, L1B)에 전달된 상기 출력 신호들(V0, VOB)을 증폭시켜 상기 제2 출력 라인들(L2, L2B)에 출력한다. 이 후, 상기 제2 출력 라인(L2)의 노드(D1)로부터 하이 레벨의 출력 신호(V0)가 출력되고, 상기 제2 출력 라인(L2B)의 노드(D2)로부터 로우 레벨의 출력 신호(VOB)가 출력된다.

<123> 상기 출력 회로들(550, 560)의 인버터 회로들(551, 561)은 상기 제어신호들(PCOM, PCOMB)에 응답하여 상기 출력 신호들(V0, VOB)을 각각 반전시켜 출력한다. 또, 상기 출력 회로들(550, 560)의 래치 회로들(552, 562)은 상기 인버터 회로들(551, 561)의 출력 신호들을 각각

래치하고, 그 래치된 신호들을 내부 플래그 신호들(Pj, PjB)로서 각각 출력한다. 즉, 상기 래치 회로(552)는 로우 레벨의 상기 인버터 회로(551)의 출력 신호를 래치하여 하이 레벨의 상기 내부 플래그 신호(Pj)를 출력한다. 또, 상기 래치 회로(562)는 하이 레벨의 상기 인버터 회로(561)의 출력 신호를 래치하여 로우 레벨의 상기 내부 플래그 신호(PjB)를 출력한다.

<124> 상기 래치 회로들(552, 562)의 래치 동작이 완료되면, 상기 제어신호(PCOM)가 로우 레벨로 디세이블된다. 상기 제어신호(PCOM)에 응답하여 상기 리셋 PMOS 트랜지스터들(PM3~PM6)이 턴 온된다. 상기 리셋 PMOS 트랜지스터들(PM3~PM6)은 상기 차동 증폭 회로(540)의 차기 비교 동작을 위해 상기 제1 출력 라인들(L1, L1B)과 상기 제2 출력 라인들(L2, L2B)의 전압 레벨을 상기 내부 전압(VDD) 레벨로 프리차지 한다. 또, 상기 제어신호(PCOM)에 응답하여 상기 전류원 NMOS 트랜지스터(NM5)가 턴 오프된다. 또, 상기 제어신호(PCOM)가 로우 레벨로 디세이블될 때, 상기 PMOS 트랜지스터들(PM7, PM9)과 상기 NMOS 트랜지스터들(NM7, NM9)이 턴 오프되어 상기 인버터 회로들(551, 561)이 디세이블된다.

<125> 결국, 상기 제2 출력 라인들(L2, L2B)의 전압 레벨이 상기 내부 전압(VDD) 레벨로 프리차지 되더라도 상기 인버터 회로들(551, 561)에 의해 상기 노드들(D1, D2)에서 상기 래치 회로들(552, 562)로의 출력 패스가 차단된다. 따라서 상기 내부 전압(VDD) 레벨로 바뀐 출력 신호들(V0, VOB)이 이전에 상기 래치 회로들(552, 562)에 의해 래치되어 출력되고 있는 상기 내부 플래그 신호들(Pj, PjB)에 영향을 주지 않는다.

<126> 도 10은 도 2에 도시된 본 발명의 또 다른 실시예에 따른 데이터 반전 회로를 상세하게 나타내는 블록도이다. 도 10을 참고하면, 데이터 반전 회로(600)는 제1 내지 제4 반전 회로들(601~604)을 포함한다. 여기에서, 상기 제1 내지 제4 반전 회로들(601~604)의 구성 및 구체

적인 동작 설명은 도 3에 도시된 상기 제1 내지 제4 반전 회로들(201~204)과 다음의 한 가지 차이점을 제외하고 동일하므로 생략된다.

<127> 그 차이점은 상기 제1 내지 제4 반전 회로들(201~204)에 비해 상기 제1 내지 제4 반전 회로들(601~604)이 지연 회로들(651~654)을 더 포함한다는 것이다.

<128> 상기 지연 회로들(651~654)은 제1 내지 제4 입력 데이터들(FD0i_1~FD0i_4)을 각각 소정 시간 동안 지연시키고, 그 지연된 제1 내지 제4 입력 데이터들(DFD0i_1~DFD0i_4)을 각각 출력한다. 다시 말하면, 상기 지연 회로들(651~654)은 상기 제1 내지 제4 입력 데이터들(FD0i_1~FD0i_4)이 제1 논리 회로들(611~614)에 입력된 후, 비교기(621) 및 플래그 신호 발생기들(642~644)로부터 최종적으로 제1 내지 제4 플래그 신호들(S1~S4)이 출력되기까지 걸리는 시간 동안 상기 제1 내지 제4 입력 데이터들(FD0i_1~FD0i_4)을 지연시킨다.

<129> 그 결과, 상기 제1 내지 제4 반전 회로들(601~604)의 제2 논리 회로들(631~634)에 제1 내지 제4 플래그 신호들(S1~S4)과 상기 지연된 제1 내지 제4 입력 데이터들(DFD0i_1~DFD0i_4)이 동일한 시점에 입력된다. 결국, 상기 제2 논리 회로들(631~634)에 각각 입력되는 두 신호들의 유효 윈도우가 최대 값으로 유지될 수 있다.

<130> 여기에서, 상기 지연 회로들(651~654)의 지연 시간들은 서로 다르게 설정되는 것이 바람직하다. 예를 들어, 상기 지연 회로들(651~654)의 지연 시간들을 각각 T1, T2, T3 및 T4라고 가정하자. 그리고, 상기 제1 논리 회로들(611~614)에 의한 지연 시간을 TD, 상기 비교기들(621~624)에 의한 지연 시간을 TC, 상기 플래그 신호 발생기들(642~644)에 의한 지연 시간을 TF라고 가정하자. 이 경우, 상기 지연 시간들(T1~T4)은 아래의 수학적식으로 표현될 수 있다.

<131>

$$T1 = TD + TC,$$

$$T2 = T1 + TF,$$

$$T3 = T2 + TF,$$

$$\text{【수학식 1】 } T4 = T3 + TF$$

<132>

상기 [수학식 1]에서 알 수 있는 것과 같이, 상기 지연 회로들(651~654)의 지연 시간들($T1 \sim T4$)은 $T1 < T2 < T3 < T4$ 의 관계를 갖는다. 즉, 상기 지연 회로(654)로 갈수록 지연 시간이 점점 길어진다. 플래그 신호 발생기(643)는 플래그 신호 발생기(642)로부터 제2 플래그 신호(S3)가 출력된 후, 제2 플래그 신호(S3)의 레벨에 따라 제3 플래그 신호(S3)를 출력한다. 따라서 상기 지연 회로(653)의 지연 시간($T3$)은 상기 플래그 신호 발생기들(642, 643)에 의한 지연 시간을 보상하도록 설정되어야 한다. 이와 마찬가지로, 플래그 신호 발생기(644)는 상기 플래그 신호 발생기(643)로부터 제3 플래그 신호(S3)가 출력된 후, 상기 제3 플래그 신호(S3)의 레벨에 따라 제4 플래그 신호(S4)를 출력한다. 따라서 상기 지연 회로(654)의 지연 시간($T4$)은 상기 플래그 신호 발생기들(642~644)에 의한 지연 시간들을 모두 보상하도록 설정되어야 한다.

<133>

다음으로, 도 11a와 도 11b를 참고하여 도 3의 데이터 반전 회로(200)의 동작 과정중 발생하는 내부 신호들의 유효 윈도우(valid window) 구간과 상기 데이터 반전 회로(600)의 동작 과정중 발생하는 내부 신호들의 유효 윈도우 구간을 비교 설명한다. 도 11a는 도 3에 도시된 제2 논리 회로들(231~234)의 입력 신호들에 대한 타이밍도이고, 도 11b는 도 10에 도시된 제2 논리 회로들(631~634)의 입력 신호들에 대한 타이밍도이다.

<134>

먼저, 도 11a와 도 3을 함께 참고하면, 제1 내지 제4 입력 데이터들($FD0i_1 \sim FD0i_4$)이 상기 제1 논리 회로들(211~214)과 상기 제2 논리 회로들(231~234)에 동시에 입력된다. 그러나, 상기 제1 내지 제4 플래그 신호들($S1 \sim S4$)은 상기 제1 논리 회로들(211~214)과 상기 비교

기들(221~224)에 의해 상기 제1 내지 제4 입력 데이터들(FDOi_1~FDOi_4)이 처리되는데 걸리는 시간만큼 지연된 후 상기 제2 논리 회로들(231~234)에 입력된다. 그 결과, 상기 제1 내지 제4 입력 데이터들(FDOi_1~FDOi_4)과 상기 제1 내지 제4 플래그 신호들(S1~S4) 사이에서 무효 구간(IV)이 발생된다. 따라서, 상기 제1 내지 제4 입력 데이터들(FDOi_1~FDOi_4)과 상기 제1 내지 제4 플래그 신호들(S1~S4) 사이의 공통 유효 구간(V1), 즉, 유효 윈도우 구간이 감소된다. 이러한 유효 윈도우 구간의 감소는 반도체 장치의 동작 주파수에 제한을 줄 수 있다.

<135> 이와는 대조적으로, 데이터 반전 회로(600)에서는 상기 지연 회로들(651~654)에 의해 상기 제1 내지 제4 입력 데이터들(FDOi_1~FDOi_4)이 지연된다. 따라서 도 11b에서 참조되는 것과 같이, 상기 제1 내지 제4 플래그 신호들(S1~S4)과 지연된 상기 제1 내지 제4 입력 데이터들(DFDOi_1~DFDOi_4)이 상기 제2 논리 회로들(631~634)에 입력되는 시점이 서로 일치한다. 그 결과, 지연된 상기 제1 내지 제4 입력 데이터들(DFDOi_1~DFDOi_4)과 상기 제1 내지 제4 플래그 신호들(S1~S4) 사이에서 무효 구간이 발생되지 않는다. 따라서 지연된 상기 제1 내지 제4 입력 데이터들(DFDOi_1~DFDOi_4)과 상기 제1 내지 제4 플래그 신호들(S1~S4)의 사이의 공통 유효 구간(V2)이 최대 값으로 확보될 수 있다. 여기에서, 상기 지연 회로들(651~654)은 도 7에 도시된 데이터 반전 회로(400)에 적용될 수도 있다.

<136> 상술한 것과 같이 본 발명에 따른 데이터 반전 회로는 동시에 프리페치된 복수의 데이터들에 대해 각 데이터들간의 토글링 여부를 판단하고 그 판단 결과에 따라 플래그 신호를 발생하는 처리 과정이 병렬로 동시에 수행된다. 실제로, 데이터 반전 회로에서 플래그 신호를 발생하기까지 걸리는 시간이 가장 길다. 본 발명에 따른 반전 회로는 상기 처리 과정에서 걸리는 시간이 대폭적으로 단축되므로 멀티-비트 프리페치 방식의 반도체 장치에서 고속으로 데이터를 처리할 수 있다.

<137> 또, 본 발명에서는 이전 데이터와 당해 데이터의 대응하는 비트들의 토글링 여부에 따라 발생한 내부 플래그 신호를 이전 데이터의 반전 여부에 따라 반전 또는 비반전 처리하여, 당해 데이터의 반전 여부를 제어하는 플래그 신호로서 출력하는 방식을 사용한다. 따라서 이전 데이터의 반전 여부가 결정된 후 반전 또는 비반전 처리된 이전 데이터를 당해 데이터와 비교하는 종래 기술에 비하여 데이터 반전 처리에 소요되는 시간이 감소되어 반도체 장치의 동작 주파수 개선에 기여할 수 있다.

<138> 한편, 데이터 반전 회로에서 데이터들간의 토글링 여부를 판단하는 논리 회로와 그 판단 결과에 따라 플래그 신호를 발생하는 비교기는 그 소모 전류와 점유 면적이 매우 크다. 따라서 데이터 반전 회로에서는 적은 수의 논리 회로와 비교기가 사용되는 것이 바람직하다. 본 발명에 따른 데이터 반전 회로는 동시에 프리페치된 복수의 데이터들 각각에 대한 반전/비반전 처리를 위해 각 데이터별로 하나의 논리 회로와 하나의 비교기만이 요구된다. 따라서 본 발명에 따른 데이터 반전 회로는 소모 전류와 점유 면적을 최소화함과 동시에 고속으로 데이터를 처리할 수 있다.

<139> 이와 같은 본 발명의 효과는 다음의 도 12를 참고하여 후술되는 본 발명의 일 비교예와 비교할 때, 더욱 분명해진다.

<140> 도 12는 본 발명의 일 비교예에 따른 데이터 반전 회로를 나타내는 도면이다. 데이터 반전 회로(700)는 제1 논리 회로들(701~707), 비교기들(711~717), 제2 논리 회로들(721~724), 선택부들(731~733) 및 인버터부들(741~743)을 포함한다.

<141> 여기에서, 상기 제1 논리 회로(701), 비교기(711) 및 제2 논리 회로들(721~724)의 구성 및 구체적인 동작 설명은 도 3에 도시된 제1 논리 회로(211), 비교기(221) 및 제2 논리 회로들(231~234)과 동일하므로 생략된다.

- <142> 상기 데이터 반전 회로(700)에서는, 제2 내지 제4 플래그 신호들(S2~S4)을 발생하기 위해, 각각 두 개씩의 제1 논리 회로들 및 비교기들이 사용된다. 예를 들어, 상기 제2 플래그 신호(S2)를 발생하기 위해서는 상기 제1 논리 회로들(702, 703)과 상기 비교기들(712, 713)이 필요하다. 여기에서, 상기 제3 및 제4 플래그 신호들(S3, S4)의 발생 과정은 상기 제2 플래그 신호(S2)의 발생 과정과 유사하므로, 도 12에서는 상기 제2 플래그 신호(S2)의 발생 과정을 중심으로 설명한다.
- <143> 상기 제1 논리 회로(702)는 8비트의 제1 입력 데이터(FDOi_1)와 8비트의 제2 입력 데이터(FDOi_2)를 수신하여 대응하는 비트별로 토글 여부를 판단하고, 그 판단 결과로서 내부 논리 신호(X0i21)를 출력한다. 상기 비교기(712)는 상기 내부 논리 신호(X0i21)를 수신하여 토글된 비트의 수가 4이상인지의 여부를 판단하고, 그 판단 결과에 따라 하이 레벨 또는 로우 레벨의 비반전 플래그 신호(NP1)를 출력한다.
- <144> 또, 상기 제1 논리 회로(703)는 8비트의 상기 제1 데이터(FDOi_1)가 인버터부(741)를 통하여 반전된 데이터와 8비트의 제2 데이터(FDOi_2)를 수신하여 대응하는 비트별로 토글 여부를 판단하고, 그 판단 결과로서 내부 논리 신호(X0i22)를 출력한다. 상기 비교기(713)는 상기 내부 논리 신호(X0i22)를 수신하여 토글된 비트의 수가 4이상인지의 여부를 판단하고, 그 판단 결과에 따라 하이 레벨 또는 로우 레벨의 반전 플래그 신호(IP1)를 출력한다.
- <145> 상기 선택부(731)는 상기 비교기(711)로부터 출력되는 제1 플래그 신호(S1)에 응답하여 상기 비반전 플래그 신호(NP)와 반전 플래그 신호(IP) 중에서 어느 하나를 선택하여 제2 플래그 신호(S2)로서 출력한다. 좀 더 상세하게는, 상기 선택부(341)는 제1 플래그 신호(S1)가 하이 레벨이면 반전 플래그 신호(IP)를 제2 플래그 신호(S2)로 출력하고, 제1 플래그 신호(S1)가 로우 레벨이면 비반전 플래그 신호(NP)를 제2 플래그 신호(S2)로 출력한다.

<146> 상술한 바와 같이, 비교예에서는 현재 출력될 데이터의 반전/비반전을 제어하는 플래그 신호를 발생하기 위해, 두 개의 논리 회로들과 두 개의 비교기들 및 인버터부가 필요하다. 따라서 데이터 반전 회로의 전체적인 소모 전류와 점유 면적이 본 발명에 따른 데이터 반전 회로에 비해 더 증가된다.

<147> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들어, 본 실시예에서는 4비트 프리페치 스킴을 기준으로 기술되었으나, 프리페치되는 비트의 수는 변경 가능하다. 또한, 본 실시예에서는 데이터의 반전 여부를 8 비트 단위로 결정하는 것으로 기술되었으나, 이 또한 변경 가능함은 당업자에게는 자명하다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<148> 상기한 것과 같이, 본 발명에 따른 반도체 장치의 데이터 반전 회로 및 데이터 반전 방법은 고속으로 데이터를 처리함과 동시에 소모 전류와 점유 면적을 감소시킬 수 있는 효과가 있다.

<149> 또한, 본 발명에 따른 반도체 장치의 데이터 반전 회로 및 데이터 반전 방법은 내부 신호들의 유효 윈도우가 감소되는 것을 방지할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

멀티-비트 프리페치 스킴을 가지는 반도체 장치의 데이터 반전 회로에 있어서,

이전 클럭 사이클의 출력 데이터(이하, 초기 입력 데이터라 함)와 동시에 프리페치된 복수의 입력 데이터들을 병렬로 수신하고, 상기 복수의 입력 데이터들을 반전/비반전 처리하여 복수의 출력 데이터들을 발생하는 복수의 반전 회로들을 구비하고,

상기 복수의 반전 회로들 각각은 상기 초기 입력 데이터 및 상기 복수의 입력 데이터들 중 출력 순서에서 이웃한 두 개의 입력 데이터들을 수신하여 토글링 여부를 판단하고, 그 판단 결과에 따라 상기 두 개의 입력 데이터들 중 상기 출력 순서에서 뒤를 잇는 입력 데이터를 반전/비반전 처리하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 2】

제1항에 있어서,

상기 초기 입력 데이터와 상기 복수의 입력 데이터들 각각은 I (I 는 2 이상의 자연수)개의 비트들을 포함하고,

상기 출력 순서는 상기 복수의 입력 데이터들이 상기 복수의 반전 회로들에 의해 반전/비반전 처리된 후, 상기 반도체 장치의 I 개의 데이터 출력 패드들을 통하여 외부로 출력될 때의 순서인 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 3】

제2항에 있어서, 상기 복수의 반전 회로들 중 적어도 하나는,

상기 초기 입력 데이터와, 상기 복수의 입력 데이터들 중 제1 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력하는 제1 논리 회로;

상기 내부 논리 신호에 응답하여 플래그 신호를 출력하는 비교기; 및

상기 플래그 신호에 응답하여 상기 복수의 출력 데이터들 중 제1 출력 데이터로서 상기 제1 입력 데이터를 반전시키거나 또는 그대로 출력하는 제2 논리 회로를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 4】

제3항에 있어서,

상기 내부 논리 신호는 상기 I개의 비트들을 포함하고,

상기 제1 논리 회로는 상기 내부 논리 신호의 I 비트들 중 상기 초기 입력 데이터와 상기 제1 입력 데이터 사이에서 토글링되는 비트의 수와 동일한 수의 비트들을 제1 레벨로 출력하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 5】

제4항에 있어서,

상기 비교기는 상기 내부 논리 신호의 I 비트들 중 상기 제1 레벨의 비트들이 반 이상일 때 상기 제1 레벨의 상기 플래그 신호를 출력하고, 반미만일 때 제2 레벨의 상기 플래그 신호를 출력하고,

상기 제2 논리 회로는 상기 플래그 신호가 상기 제1 레벨일 때 상기 제1 입력 데이터를 반전시켜 상기 제1 출력 데이터로서 출력하고, 상기 플래그 신호가 상기 제2 레벨일 때 상기

제1 입력 데이터를 그대로 상기 제1 출력 데이터로서 출력하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 6】

제3항에 있어서, 상기 비교기는,

상기 내부 논리 신호들에 응답하여 비교 전압을 발생하는 비교 전압 발생회로;

소정의 기준 전압을 발생하는 기준 전압 발생회로; 및

상기 비교 전압과 상기 기준 전압을 비교하고, 그 비교 결과에 따라 상기 플래그 신호를 출력하는 차동 증폭기를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 7】

제3항에 있어서,

상기 복수의 반전 회로들 중 적어도 하나는 상기 제1 입력 데이터를 수신하여 소정 시간 동안 지연시키고, 그 지연된 상기 제1 입력 데이터를 상기 제2 논리 회로에 출력하는 지연 회로를 더 포함하고,

상기 소정 시간은 상기 제1 입력 데이터가 상기 제1 논리 회로에 입력된 후, 상기 비교기로부터 상기 플래그 신호가 출력될 때까지 걸리는 시간인 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 8】

제2항에 있어서, 상기 복수의 반전 회로들 중 일부는,

상기 복수의 입력 데이터들 중 제J-1(J는 2이상의 자연수) 입력 데이터와 제J 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력하는 제1 논리 회로;

상기 내부 논리 신호에 응답하여 내부 플래그 신호를 출력하는 비교기;

제 J-1 플래그 신호에 응답하여 제J 플래그 신호로서 상기 내부 플래그 신호를 반전시키거나 또는 그대로 출력하는 플래그 신호 발생기; 및

상기 제J 플래그 신호에 응답하여 상기 복수의 출력 데이터들 중 제J 출력 데이터로서 상기 제J 입력 데이터를 반전시키거나 또는 그대로 출력하는 제2 논리 회로를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 9】

제8항에 있어서,

상기 내부 논리 신호는 상기 I개의 비트들을 포함하고,

상기 제1 논리 회로는 상기 내부 논리 신호의 I 비트들 중 상기 제J-1 입력 데이터와 상기 제J 입력 데이터 사이에서 토글링되는 비트의 수와 동일한 수의 비트들을 제1 레벨로 출력하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 10】

제9항에 있어서,

상기 비교기는 상기 내부 논리 신호의 I 비트들 중 상기 제1 레벨의 비트들이 반 이상일 때 상기 제1 레벨의 상기 내부 플래그 신호를 출력하고, 반미만일 때 제2 레벨의 상기 내부 플래그 신호를 출력하고,

상기 플래그 신호 발생기는 상기 제J-1 플래그 신호가 상기 제1 레벨일 때 상기 내부 플래그 신호를 반전시켜 상기 제J 플래그 신호로서 출력하고, 상기 제J-1 플래그 신호가 상기 제2 레벨일 때 상기 내부 플래그 신호를 그대로 상기 제J 플래그 신호로서 출력하고,

상기 제2 논리 회로는 상기 제J 플래그 신호가 상기 제1 레벨일 때 상기 제J 입력 데이터를 반전시켜 상기 제J 출력 데이터로서 출력하고, 상기 제J 플래그 신호가 상기 제2 레벨일 때 상기 제J 입력 데이터를 그대로 상기 제J 출력 데이터로서 출력하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 11】

제9항에 있어서, 상기 비교기는,

상기 내부 논리 신호들에 응답하여 비교 전압을 발생하는 비교 전압 발생회로;

소정의 기준 전압을 발생하는 기준 전압 발생회로; 및

상기 비교 전압과 상기 기준 전압을 비교하고, 그 비교 결과에 따라 상기 내부 플래그 신호를 출력하는 차동 증폭기를 포함하고,

상기 내부 논리 신호의 I 비트들 중 상기 제1 레벨의 비트들이 반 이상일 때, 상기 비교 전압의 레벨이 상기 기준 전압 보다 더 높은 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 12】

제8항에 있어서, 상기 플래그 신호 발생기는,

상기 내부 플래그 신호를 반전시키고, 그 반전된 내부 플래그 신호를 출력하는 제1 인버터;

상기 제J 플래그 신호를 반전시키고, 그 반전된 제J 플래그 신호를 출력하는 제2 인버터;

상기 제J 플래그 신호에 응답하여 턴 온 또는 턴 오프되고, 턴 온될 때 상기 반전된 내부 플래그 신호를 수신하여 출력하는 제1 스위치; 및

상기 반전된 제J 플래그 신호에 응답하여 턴 온 또는 턴 오프되고, 턴 온될 때 상기 내부 플래그 신호를 수신하여 출력하는 제2 스위치를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 13】

제8항에 있어서,

상기 복수의 반전 회로들 중 일부는 상기 제J 입력 데이터를 수신하여 소정 시간 동안 지연시키고, 그 지연된 상기 제J 입력 데이터를 상기 제2 논리 회로에 출력하는 지연 회로를 더 포함하고,

상기 소정 시간은 상기 제J 입력 데이터가 상기 제1 논리 회로에 입력된 후, 상기 플래그 신호 발생기로부터 상기 제J 플래그 신호가 출력될 때까지 걸리는 시간인 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 14】

제2항에 있어서, 상기 복수의 반전 회로들 중 일부는,

상기 복수의 입력 데이터들 중 제J-1(J는 2이상의 자연수) 입력 데이터와 제J 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력하는 제1 논리 회로;

상기 내부 논리 신호에 응답하여 내부 플래그 신호와 반전된 내부 플래그 신호를 출력하는 비교회로;

제 J-1 플래그 신호에 응답하여 상기 내부 플래그 신호와 상기 반전된 내부 플래그 신호 중 어느 하나를 선택하여 제J 플래그 신호로서 출력하는 선택부; 및

상기 제J 플래그 신호에 응답하여 상기 복수의 출력 데이터들 중 제J 출력 데이터로서 상기 제J 입력 데이터를 반전시키거나 또는 그대로 출력하는 제2 논리 회로를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 15】

제14항에 있어서,

상기 내부 논리 신호는 상기 I개의 비트들을 포함하고,

상기 제1 논리 회로는 상기 내부 논리 신호의 I 비트들 중 상기 제J-1 입력 데이터와 상기 제J 입력 데이터 사이에서 토글링되는 비트의 수와 동일한 수의 비트들을 제1 레벨로 출력하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 16】

제15항에 있어서,

상기 비교회로는 상기 내부 논리 신호의 I 비트들 중 상기 제1 레벨의 비트들이 반 이상일 때 상기 제1 레벨의 상기 내부 플래그 신호와 제2 레벨의 상기 반전된 내부 플래그 신호를 출력하고, 반미만일 때 상기 제2 레벨의 상기 내부 플래그 신호와 상기 제1 레벨의 상기 반전된 내부 플래그 신호를 출력하고,

상기 선택부는 상기 제J-1 플래그 신호가 상기 제1 레벨일 때 상기 반전된 내부 플래그 신호를 상기 제J 플래그 신호로서 출력하고, 상기 제J-1 플래그 신호가 상기 제2 레벨일 때 상기 내부 플래그 신호를 상기 제J 플래그 신호로서 출력하고,

상기 제2 논리 회로는 상기 제J 플래그 신호가 상기 제1 레벨일 때 상기 제J 입력 데이터를 반전시켜 상기 제J 출력 데이터로서 출력하고, 상기 제J 플래그 신호가 상기 제2 레벨일 때 상기 제J 입력 데이터를 그대로 상기 제J 출력 데이터로서 출력하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 17】

제15항에 있어서,

상기 비교회로는,

상기 내부 논리 신호들에 응답하여 상기 내부 플래그 신호를 출력하는 비교기; 및

상기 내부 플래그 신호를 반전시키고, 그 반전된 상기 내부 플래그 신호를 출력하는 인버터를 포함하고,

상기 비교기는,

상기 내부 논리 신호들에 응답하여 비교 전압을 발생하는 비교 전압 발생회로;

소정의 기준 전압을 발생하는 기준 전압 발생회로; 및

상기 비교 전압과 상기 기준 전압을 비교하고, 그 비교 결과에 따라 상기 내부 플래그 신호를 출력하는 차동 증폭기를 포함하고,

상기 내부 논리 신호의 I 비트들 중 상기 제1 레벨의 비트들이 반 이상일 때, 상기 비교 전압의 레벨이 상기 기준 전압 보다 더 높은 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 18】

제15항에 있어서, 상기 비교회로는,

상기 내부 논리 신호들에 응답하여 비교 전압을 발생하는 비교 전압 발생회로;

소정의 기준 전압을 발생하는 기준 전압 발생회로; 및

상기 비교 전압과 상기 기준 전압을 비교하고, 그 비교 결과에 따라 상기 내부 플래그 신호와 상기 반전된 내부 플래그 신호를 출력하는 내부 플래그 신호 발생회로를 포함하고,

상기 내부 논리 신호의 I 비트들 중 상기 제1 레벨의 비트들이 반 이상일 때, 상기 비교 전압의 레벨이 상기 기준 전압 보다 더 높은 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 19】

제18항에 있어서, 상기 내부 플래그 신호 발생회로는,

소정의 제어신호에 응답하여 인에이블되거나 또는 디세이블되고, 인에이블될 때 상기 비교 전압과 상기 기준 전압을 비교하고, 그 비교 결과에 따라 제1 출력 신호를 제1 노드에 출력하고, 제2 출력 신호를 제2 노드에 출력하는 차동 증폭 회로;

상기 제어신호에 응답하여 상기 제1 노드로부터 출력되는 상기 제1 출력 신호를 수신하고, 수신된 상기 제1 출력 신호를 상기 내부 플래그 신호로서 출력하는 제1 출력 회로; 및

상기 제어신호에 응답하여 상기 제2 노드로부터 출력되는 상기 제2 출력 신호를 수신하고, 수신된 상기 제2 출력 신호를 상기 반전된 내부 플래그 신호로서 출력하는 제2 출력 회로를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 20】

제19항에 있어서, 상기 차동 증폭 회로는,

상기 제어신호에 응답하여 인에이블되거나 또는 디세이블되는 전류원 회로;

상기 전류원 회로가 인에이블될 때, 상기 비교 전압과 상기 기준 전압에 각각 응답하여 상기 제1 출력 신호와 상기 제2 출력 신호 중 어느 하나의 레벨을 가변시켜 제1 출력 라인 쌍에 각각 출력하는 차동 트랜지스터들;

상기 전류원 회로가 인에이블될 때, 상기 제1 출력 라인 쌍의 상기 제1 출력 신호와 상기 제2 출력 신호를 증폭시켜 제2 출력 라인 쌍의 상기 제1 노드와 상기 제2 노드에 각각 출력하는 증폭 트랜지스터들; 및

상기 제어신호에 응답하여 턴 온 또는 턴 오프되고, 턴 온될 때 상기 제1 출력 라인 쌍과 상기 제2 출력 라인 쌍을 내부 전압 레벨로 프리차지하는 리셋 트랜지스터들을 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 21】

제20항에 있어서,

상기 증폭 트랜지스터들은 상기 제2 출력 라인 쌍에 크로스 커플링(cross coupling)되는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 22】

제20항에 있어서,

상기 제1 출력 회로는,

상기 제어신호에 응답하여 인에이블되거나 또는 디세이블되고, 인에이블될 때 상기 제1 노드로부터 출력되는 상기 제1 출력 신호를 반전시켜 출력하는 제1 인버터 회로; 및

상기 제1 인버터 회로로부터 출력되는 반전된 상기 제1 출력 신호를 래치하고, 그 래치된 신호를 반전시켜 상기 내부 플래그 신호로서 출력하는 제1 래치 회로를 포함하고,

상기 제2 출력 회로는,

상기 제어신호에 응답하여 인에이블되거나 또는 디세이블되고, 인에이블될 때 상기 제2 노드로부터 출력되는 상기 제2 출력 신호를 반전시켜 출력하는 제2 인버터 회로; 및

상기 제2 인버터 회로로부터 출력되는 반전된 상기 제2 출력 신호를 래치하고, 그 래치된 신호를 반전시켜 상기 반전된 내부 플래그 신호로서 출력하는 제2 래치 회로를 포함하고,

상기 리셋 트랜지스터들이 턴 온될 때, 상기 제1 인버터 회로와 상기 제2 인버터 회로는 디세이블되는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 23】

제14항에 있어서, 상기 선택부는,

상기 제J 플래그 신호를 반전시키고, 그 반전된 제J 플래그 신호를 출력하는 인버터;

상기 제J 플래그 신호에 응답하여 턴 온 또는 턴 오프되고, 턴 온될 때 상기 반전된 내부 플래그 신호를 수신하여 출력하는 제1 스위치; 및

상기 반전된 제J 플래그 신호에 응답하여 턴 온 또는 턴 오프되고, 턴 온될 때 상기 내부 플래그 신호를 수신하여 출력하는 제2 스위치를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 24】

제14항에 있어서,

상기 복수의 반전 회로들 중 일부는 상기 제J 입력 데이터를 수신하여 소정 시간 동안 지연시키고, 그 지연된 상기 제J 입력 데이터를 상기 제2 논리 회로에 출력하는 지연 회로를 더 포함하고,

상기 소정 시간은 상기 제J 입력 데이터가 상기 제1 논리 회로에 입력된 후, 상기 선택부로부터 상기 제J 플래그 신호가 출력될 때까지 걸리는 시간인 것을 특징으로 하는 반도체 장치의 데이터 반전 회로.

【청구항 25】

멀티-비트 프리페치 스킴을 가지는 반도체 장치에서의 데이터 반전 방법에 있어서,

(a) 이전 클럭 사이클의 출력 데이터(이하, 초기 입력 데이터라 함)와 동시에 프리페치된 복수의 입력 데이터들을 병렬로 수신하는 단계;

(b) 상기 초기 입력 데이터 및 상기 복수의 입력 데이터들 중 출력 순서에서 이웃한 두개의 입력 데이터들별로 토글링 여부를 판단하고, 그 판단 결과에 따라 복수의 플래그 신호들을 발생하는 단계; 및

(c) 상기 복수의 플래그 신호들에 각각 응답하여 상기 복수의 입력 데이터들을 각각 반전/비반전 처리하여 복수의 출력 데이터들을 발생하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 방법.

【청구항 26】

제25항에 있어서,

상기 초기 입력 데이터와 상기 복수의 입력 데이터들 각각은 I (I 는 2 이상의 자연수)개의 비트들을 포함하고,

상기 출력 순서는 상기 복수의 입력 데이터들이 각각 반전/비반전 처리된 후, 상기 반도체 장치의 I 개의 데이터 출력 패드들을 통하여 외부로 출력될 때의 순서인 것을 특징으로 하는 반도체 장치의 데이터 반전 방법.

【청구항 27】

제26항에 있어서,

상기 (b)단계는,

(b11) 상기 초기 입력 데이터와, 상기 복수의 입력 데이터들 중 제1 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력하는 단계; 및

(b12) 상기 내부 논리 신호에 응답하여 상기 복수의 플래그 신호들 중 제1 플래그 신호를 출력하는 단계를 포함하고,

상기 (c)단계는, (c1) 상기 제1 플래그 신호에 응답하여 상기 복수의 출력 데이터들 중 제1 출력 데이터로서 상기 제1 입력 데이터를 반전시키거나 또는 그대로 출력하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 방법.

【청구항 28】

제26항에 있어서, 상기 (b)단계는,

(b21) 상기 복수의 입력 데이터들 중 제J-1(J는 2이상의 자연수) 입력 데이터와 제J 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력하는 단계;

(b22) 상기 내부 논리 신호에 응답하여 내부 플래그 신호를 출력하는 단계; 및

(b23) 제J-1 플래그 신호에 응답하여 제J 플래그 신호로서 상기 내부 플래그 신호를 반전시키거나 또는 그대로 출력하는 단계를 포함하고,

상기 (c)단계는, (c2) 상기 제J 플래그 신호에 응답하여 상기 복수의 출력 데이터들 중 제J 출력 데이터로서 상기 제J 입력 데이터를 반전시키거나 또는 그대로 출력하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 방법.

【청구항 29】

제26항에 있어서, 상기 (b)단계는,

(b31) 상기 복수의 입력 데이터들 중 제J-1(J는 2이상의 자연수) 입력 데이터와 제J 입력 데이터를 수신하여 대응하는 비트별로 토글링 여부를 판단하고, 그 판단 결과에 따라 내부 논리 신호를 출력하는 단계;

(b32) 상기 내부 논리 신호에 응답하여 내부 플래그 신호와 반전된 내부 플래그 신호를 출력하는 단계; 및

(b33) 제J-1 플래그 신호에 응답하여 내부 플래그 신호와 반전된 내부 플래그 신호 중 어느 하나를 선택하여, 제J 플래그 신호로서 출력하는 단계를 포함하고,

상기 (c)단계는, (c3) 상기 제J 플래그 신호에 응답하여 상기 복수의 출력 데이터들 중 제J 출력 데이터로서 상기 제J 입력 데이터를 반전시키거나 또는 그대로 출력하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 반전 방법.

【청구항 30】

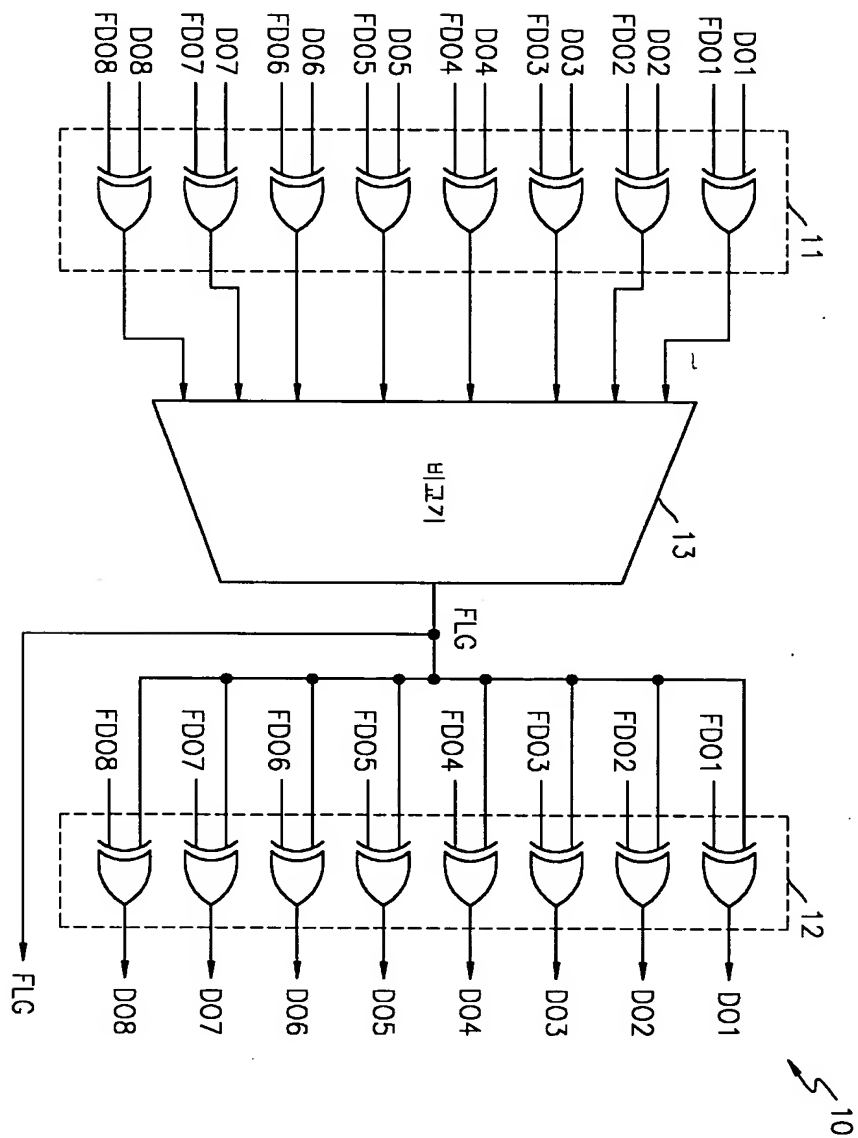
제26항에 있어서, 상기 (c)단계는,

(c4) 상기 복수의 입력 데이터들을 서로 다른 복수의 설정 시간들 동안 각각 지연시키는 단계를 포함하고,

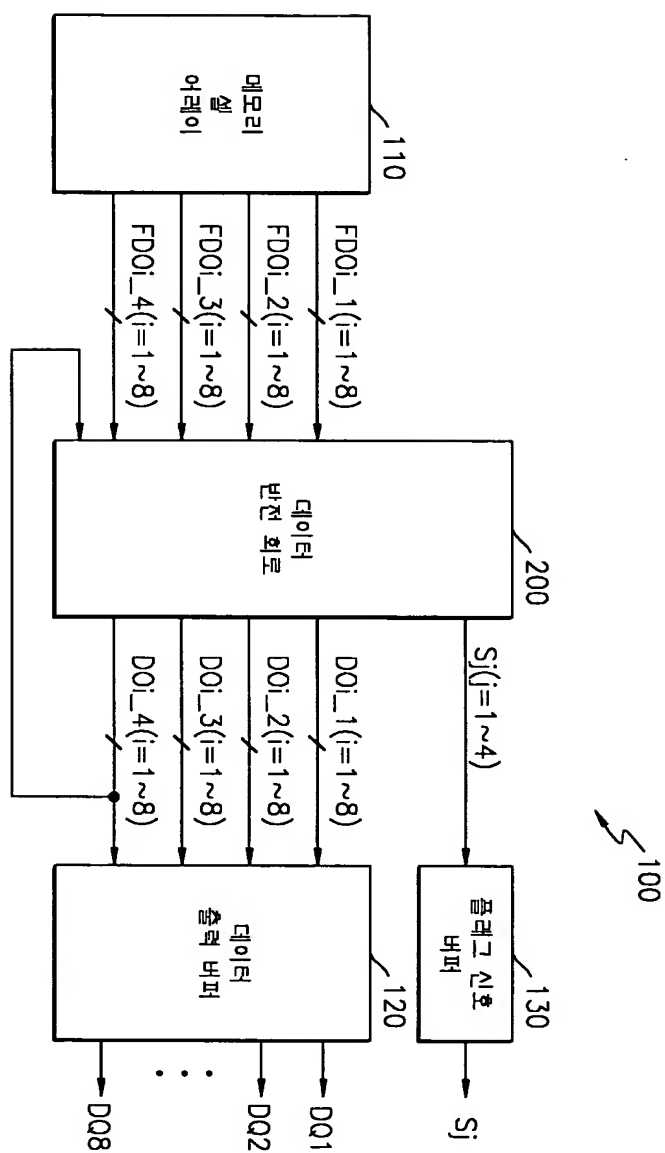
상기 복수의 설정 시간들 각각은 상기 복수의 입력 데이터들이 수신된 후, 상기 복수의 플래그 신호들이 각각 출력될 때까지 걸리는 시간들인 것을 특징으로 하는 반도체 장치의 데이터 반전 방법.

【도면】

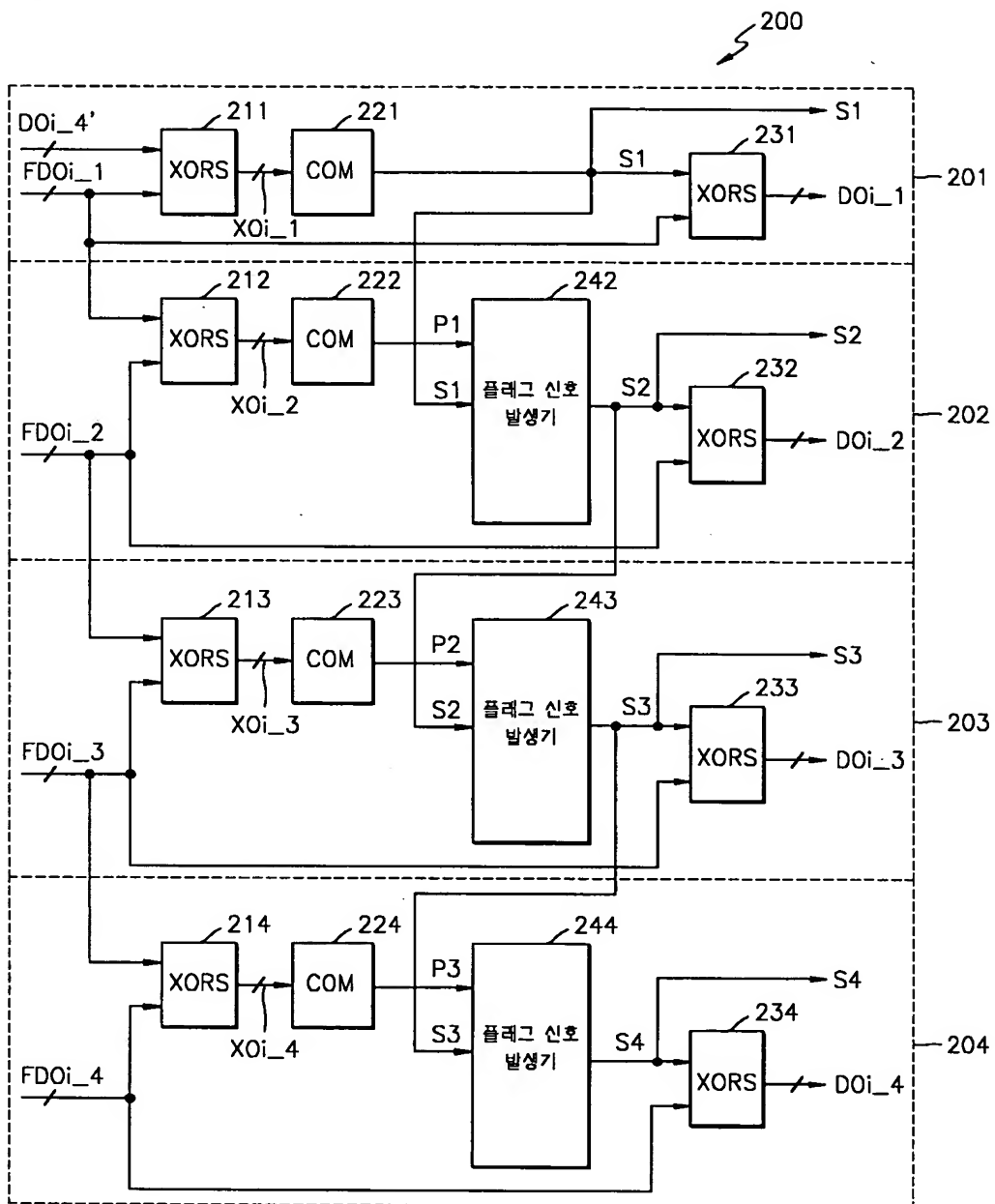
【도 1】



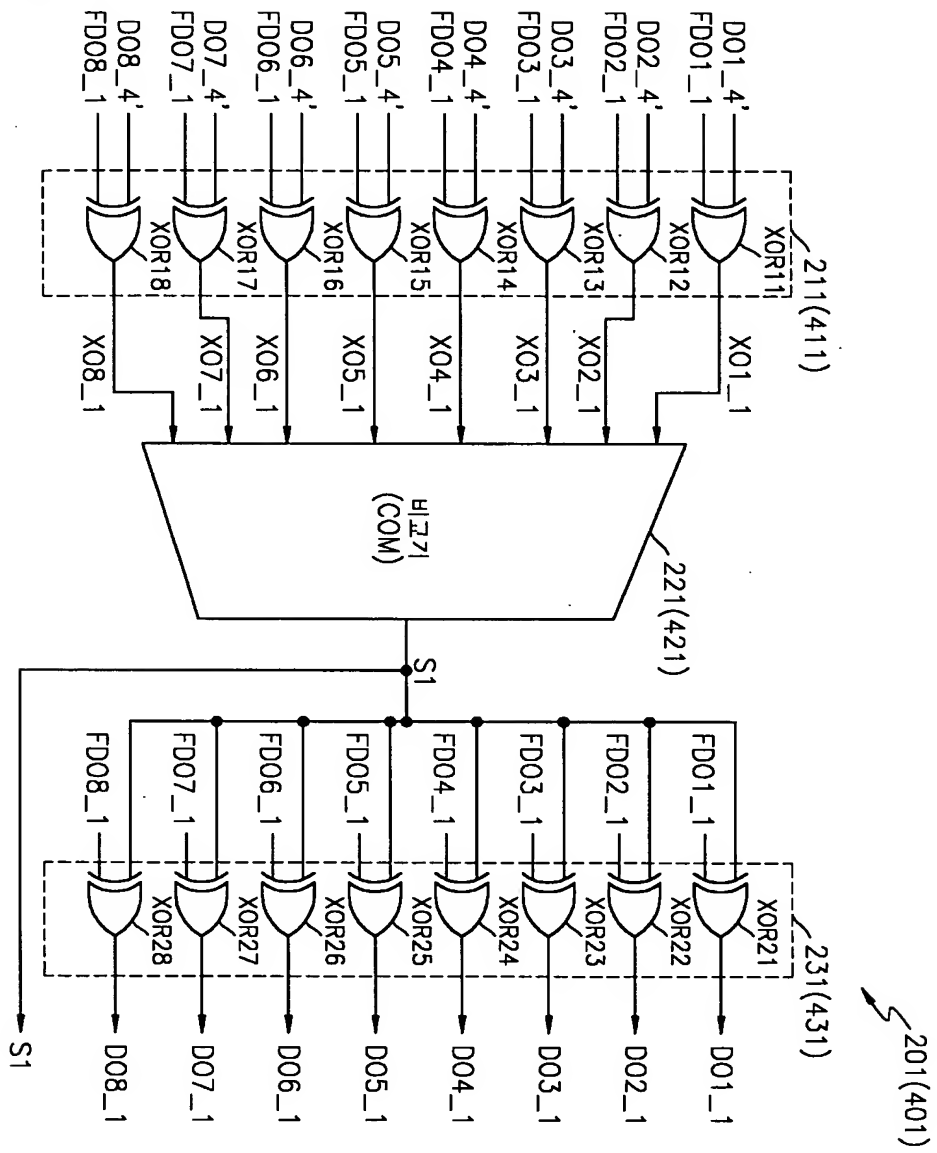
【도 2】



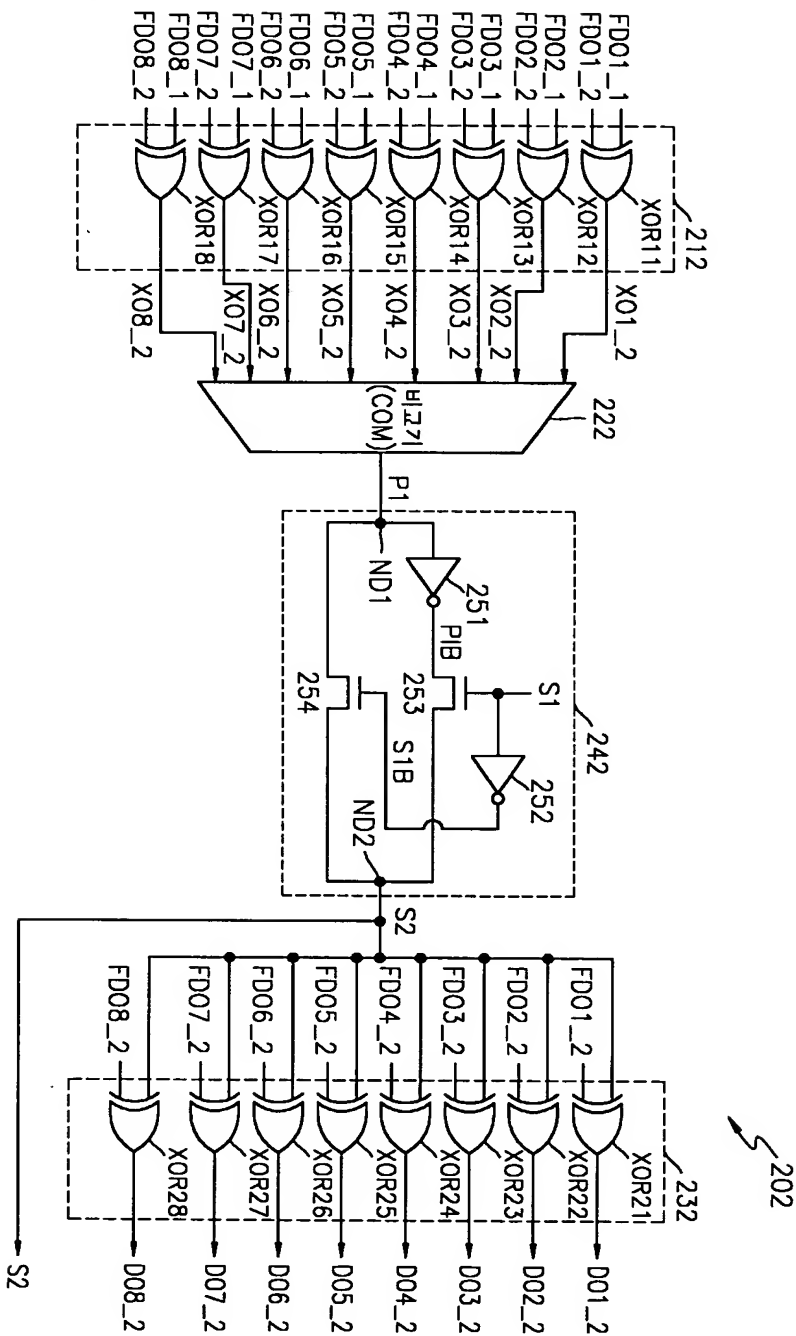
【도 3】



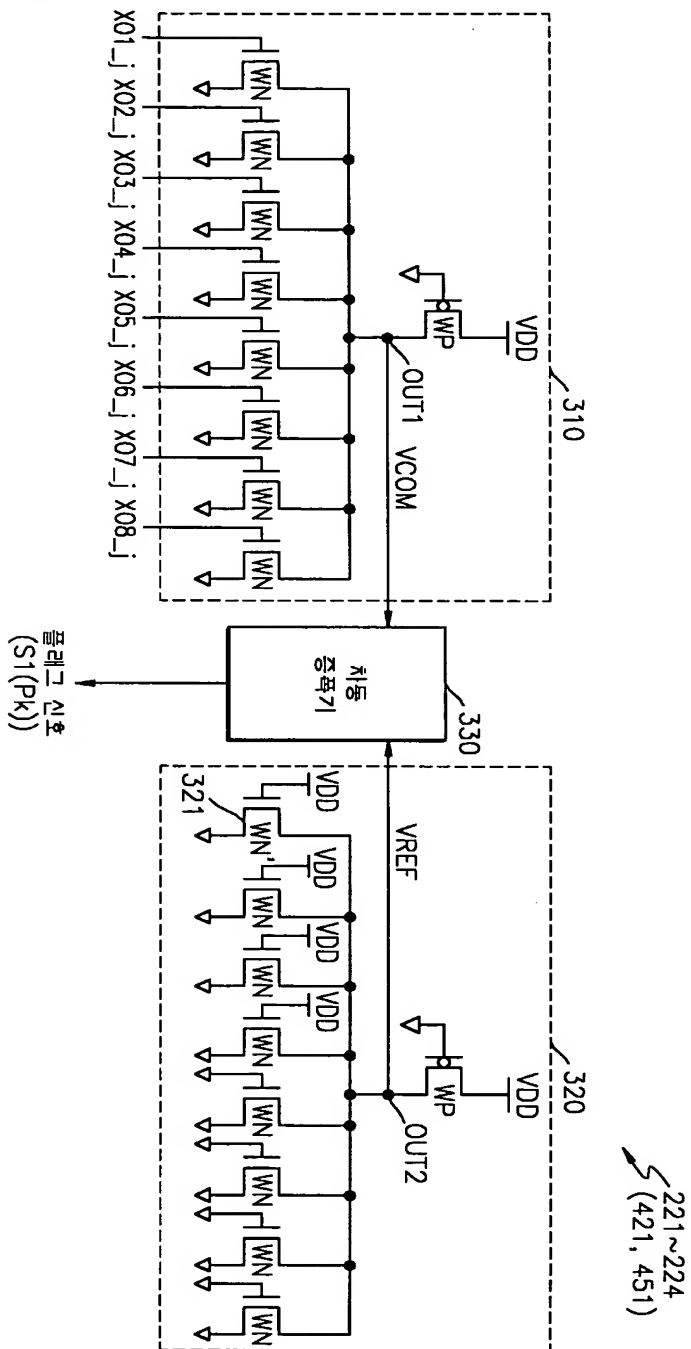
【도 4】



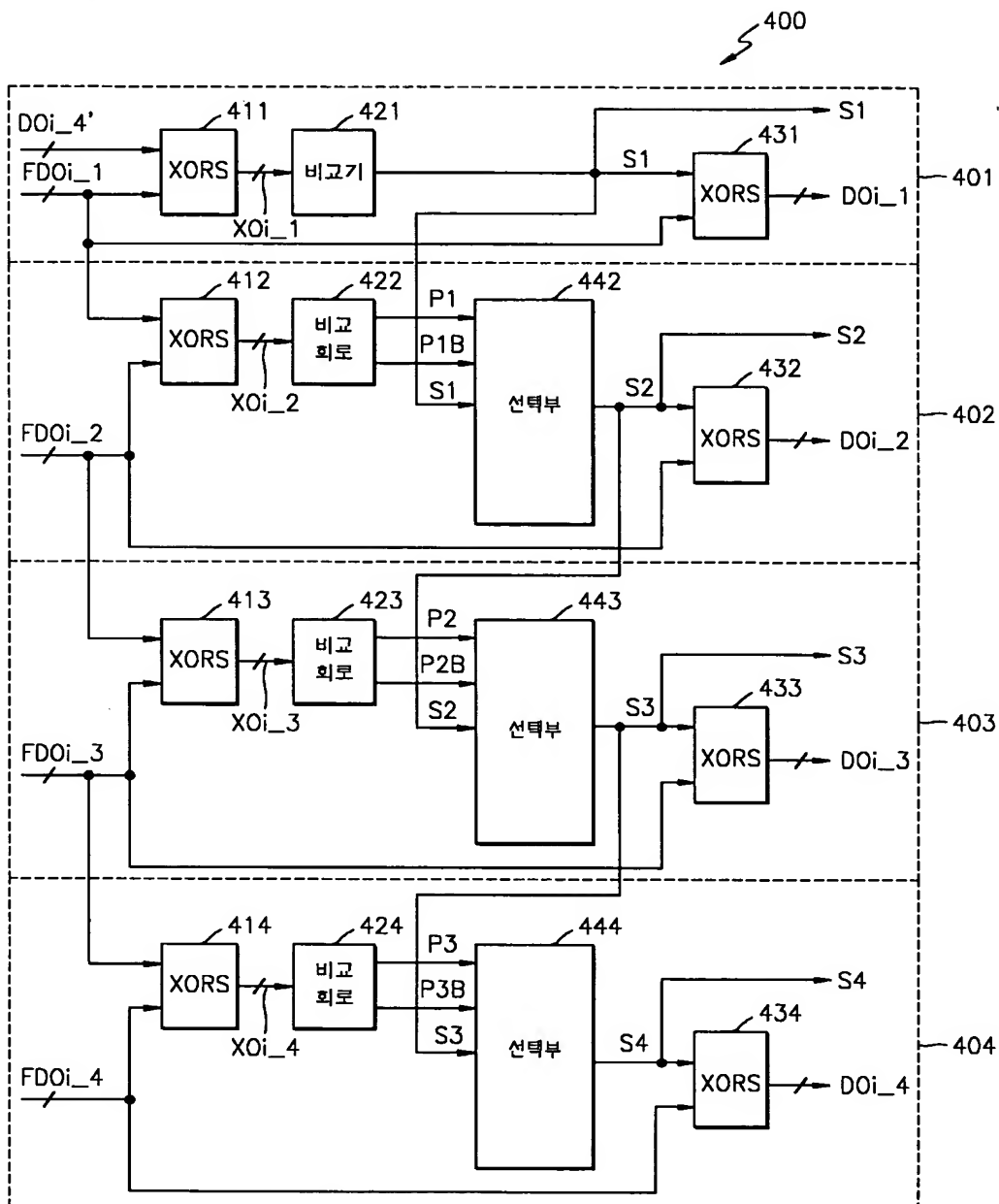
【도 5】



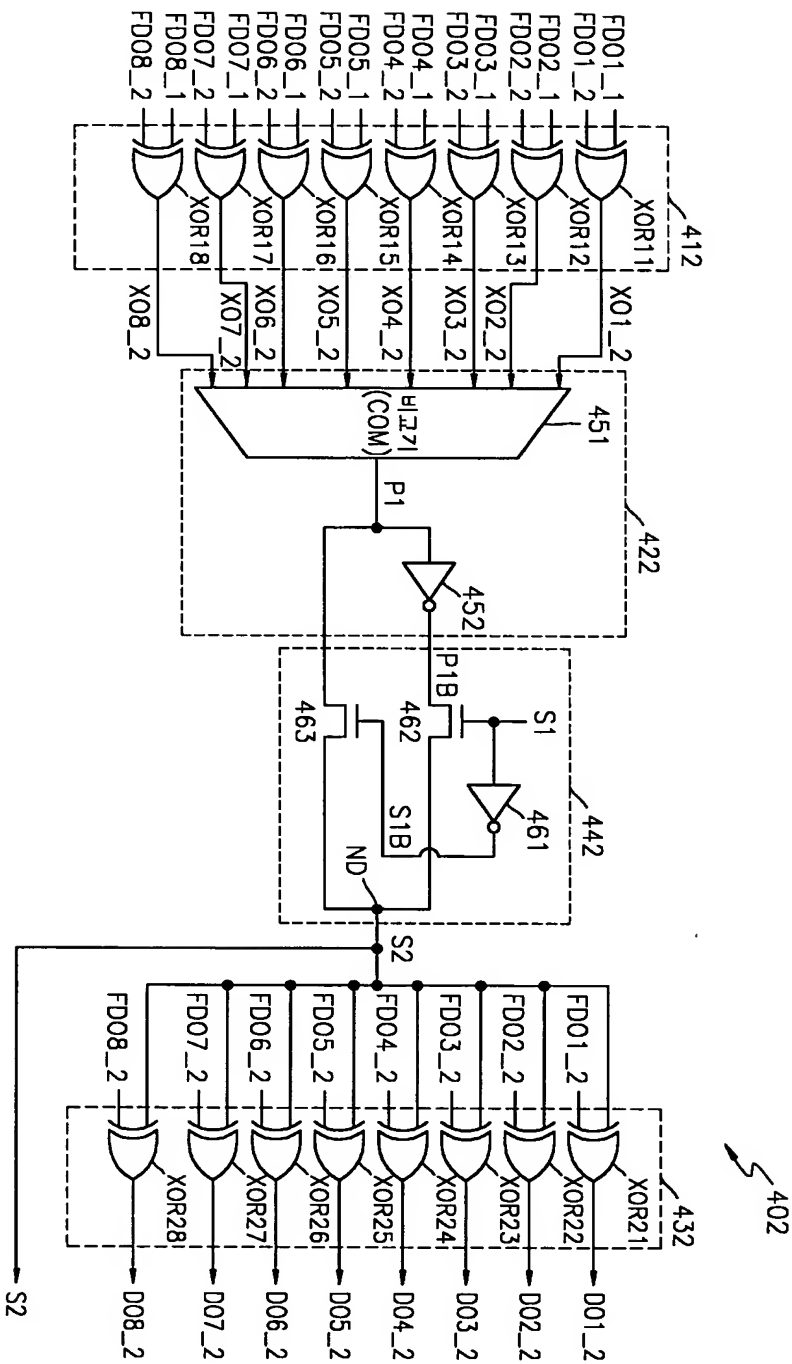
【도 6】



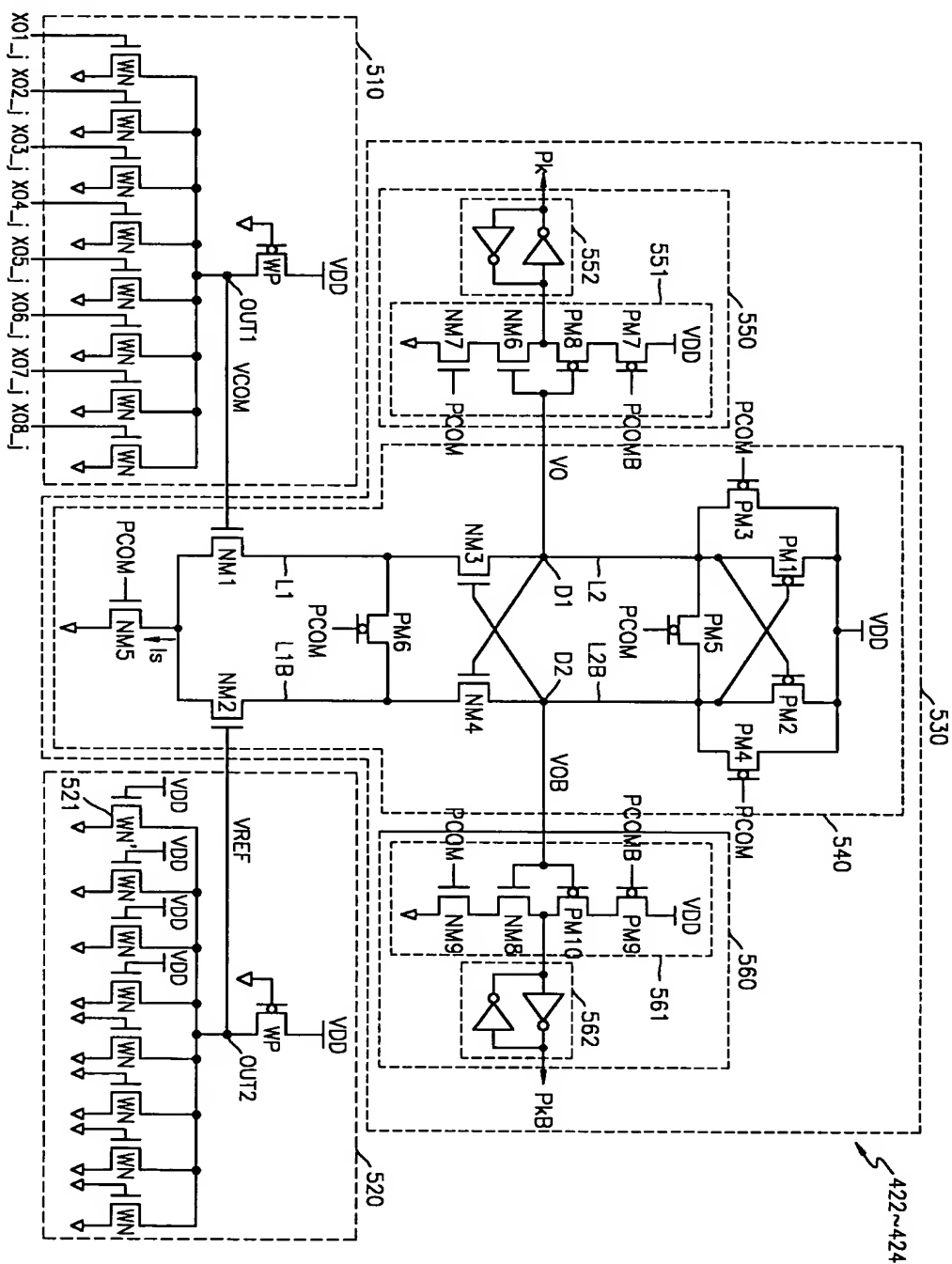
【도 7】



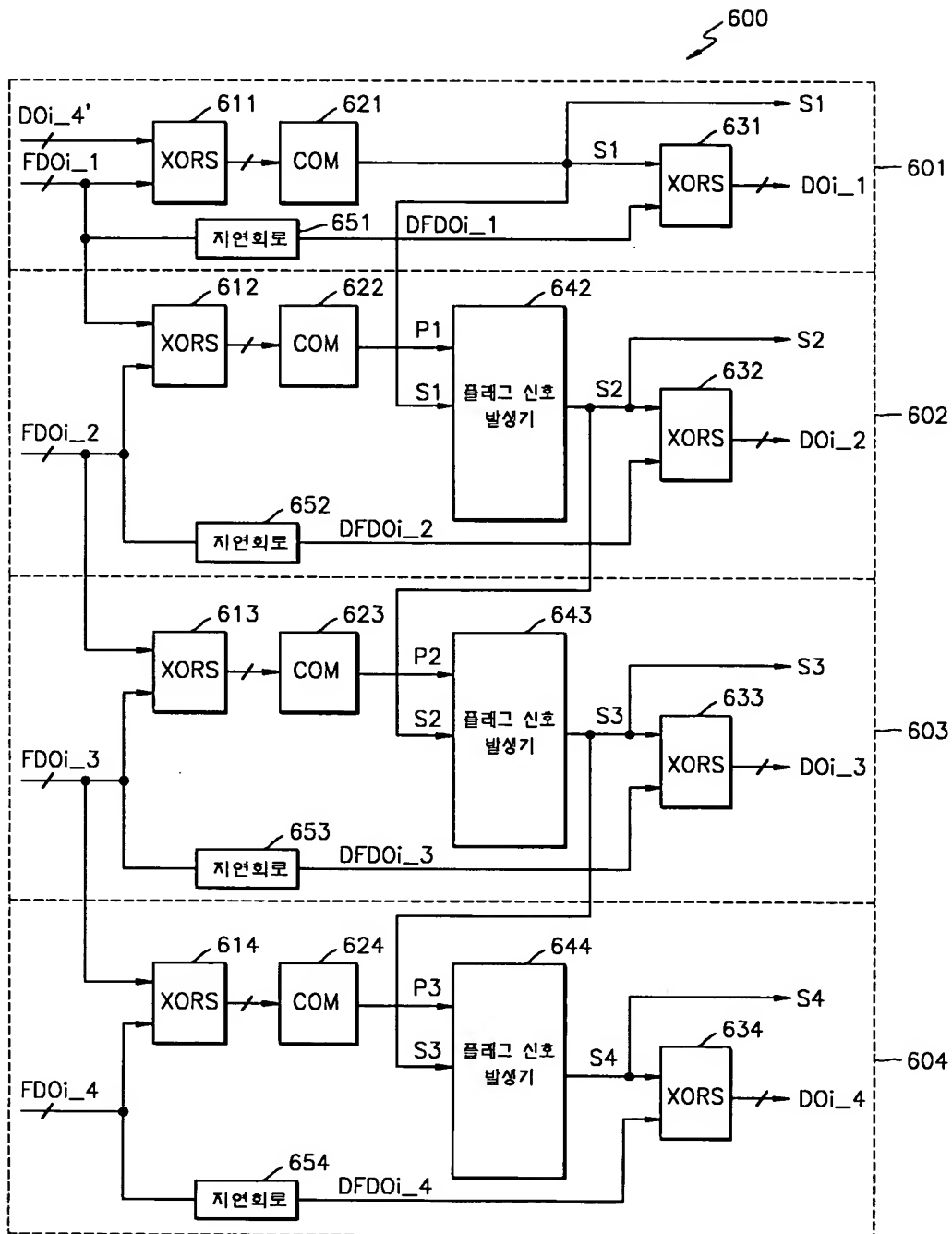
【도 8】



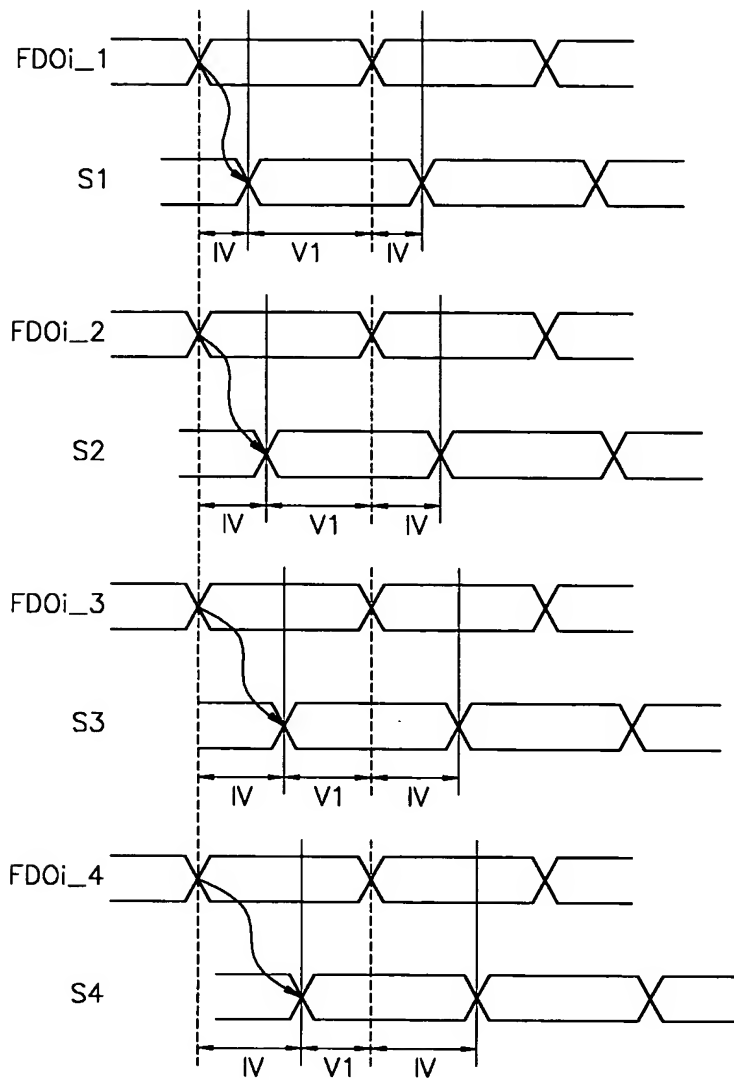
【 9】



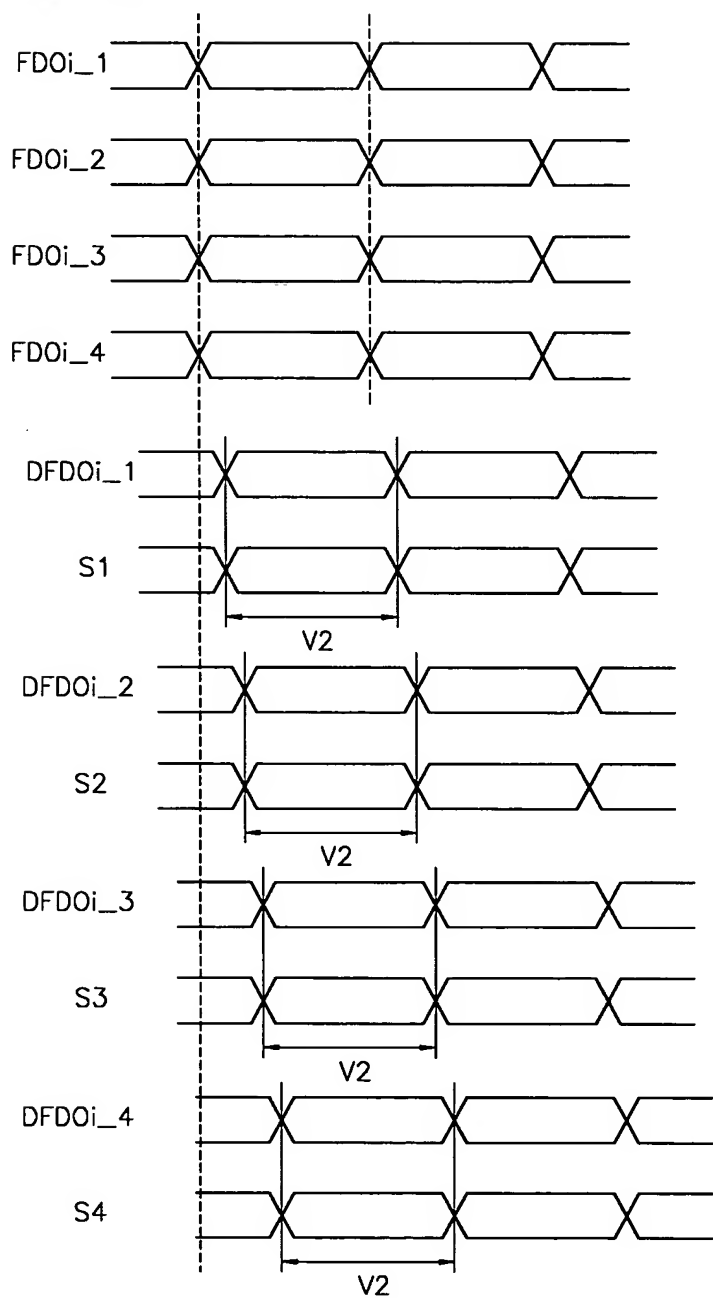
【도 10】



【도 11a】



【도 11b】



【도 12】

